

UNIVERSIDADE FEDERAL DE SÃO CARLOS
CENTRO DE CIÊNCIAS EXATAS E TECNOLÓGICAS
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

**PROJETO, MONTAGEM E TESTES DE UM AMPLIFICADOR
DE ÁUDIO DE 5.1 CANAIS**

RAFAEL MARCHIORI VISINTIN

SÃO CARLOS

2013

UNIVERSIDADE FEDERAL DE SÃO CARLOS
CENTRO DE CIÊNCIAS EXATAS E TECNOLÓGICAS
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

**PROJETO, MONTAGEM E TESTES DE UM AMPLIFICADOR
DE ÁUDIO DE 5.1 CANAIS**

RAFAEL MARCHIORI VISINTIN

Monografia apresentada ao Departamento de Engenharia Elétrica do Centro de Ciências Exatas e Tecnológicas da Universidade Federal de São Carlos, como parte dos requisitos para obtenção do título de Bacharel em Engenharia Elétrica.

ORIENTADOR: PROF. DR. CARLOS ALBERTO DE FRANCISCO

SÃO CARLOS

2013

BANCA EXAMINADORA

Orientador

Prof. Dr. Carlos Alberto De Francisco

Prof. Dr. Celso Aparecido de França

Prof. Dr. Osmar Ogashawara

AGRADECIMENTOS

Ao Prof. Dr. Carlos Alberto De Francisco por toda a paciência, atenção e orientação dedicada a mim durante a execução deste trabalho.

Ao Técnico José Roberto Esperança pelo auxílio na montagem e alocação das placas, dos dissipadores, dos conectores e do transformador na caixa do projeto.

Ao Me. Heitor Vinicius Mercaldi pelo auxílio na efetuação dos testes do projeto.

RESUMO

Neste trabalho, foi desenvolvido o projeto de um amplificador de áudio de 5.1 canais para uso em *home theater*. Os amplificadores são todos construídos em placa de circuito impresso utilizando transistores de áudio. Inicialmente, foi estabelecida uma topologia, e a partir disso, estudados os efeitos dos resistores de cada estágio do circuito sobre o desempenho do mesmo. O sistema é construído e montado numa caixa metálica com os devidos conectores e botões de ajuste. Para medição e testes foram utilizados os equipamentos do laboratório do Nuleen (osciloscópios, multímetros, ferro de solda, etc).

ABSTRACT

In this paper, was developed the project of an audio amplifier of 5.1 channels in order to use as a home theater. The amplifiers are all constructed in printed circuit boards, using audio transistors. Initially, was established a topology, and then, was studied the effects of the resistors of each stage of the circuit over the performance of the circuit. The measurements were made using the equipment from Nuleen laboratory.

LISTA DE TABELAS

Tabela 1 - Comparação entre a eficiência das três classes de operação.....	28
Tabela 2 - Dados obtidos com a variação de R7 e R8.....	38
Tabela 3 - Dados obtidos com a variação de R1.	41
Tabela 4 - Dados obtidos com a variação de R3 e R4.....	43
Tabela 5 - Dados obtidos com a variação de R11 e R12.....	47
Tabela 6 - Dados obtidos com a variação de R9, R10, R13 e R14.	47
Tabela 7- Dados obtidos com a variação de R16 e R17.....	49
Tabela 8 - Dados obtidos com a variação de R15 e R18.....	50
Tabela 9 – Dados obtidos com a variação de R24.....	53
Tabela 10 - Dados obtidos com a variação da corrente em Q14 e Q15.	53
Tabela 11 - Dados obtidos com a variação de R27 e R28.....	54
Tabela 12 - Margem de ganho e de fase do circuito sem compensação.....	56
Tabela 13 - Margem de ganho e de fase do circuito com compensação no amplificador diferencial.	56
Tabela 14 - Margem de ganho e de fase do circuito com compensação no primeiro estágio e no estágio de ganho.....	56
Tabela 15 - Margem de ganho e margem de fase com compensação no amplificador diferencial, estágio de ganho e malha de realimentação.....	57
Tabela 16 - Resposta em frequência do amplificador	74
Tabela 17 – Distorção harmônica total em função da potência na carga.	76
Tabela 18 - Distorção harmônica total em função da frequência do sinal	77

LISTA DE FIGURAS

Figura 1 - Disposição dos 5.1 canais.	2
Figura 2 - Topologia utilizada para o projeto do amplificador.	3
Figura 3 - Circuito do amplificador dividido em estágios. Em vermelho, o amplificador diferencial; em verde, o estágio de <i>buffer</i> ; em amarelo, o estágio de ganho; em azul, o multiplicador de V_{be} ; em marrom, o estágio <i>push-pull</i> de saída; em laranja, a malha de realimentação.	4
Figura 4 - Circuito amplificador diferencial básico	7
Figura 5 - Demonstração da defasagem entre as saídas do amplificador diferencial.....	7
Figura 6 - Conexão CA do amplificador diferencial.	9
Figura 7 - Equivalente CA do circuito amplificador diferencial.	9
Figura 8 - Conexão CA do amplificador diferencial com terminação simples.	10
Figura 9 - Equivalente CA do circuito amplificador diferencial com terminação simples.	10
Figura 10 - Circuito parcial para calcular I_b	11
Figura 11 - Quadros dividindo o circuito em estágios. Quadro vermelho - amplificador diferencial. Quadro azul – estágio de <i>buffer</i> . Quadro amarelo - estágio de ganho.....	13
Figura 12 - Polarização CC do estágio de <i>buffer</i>	15
Figura 13 - Equivalente CA da primeira parte do estágio de <i>buffer</i>	17
Figura 14 - Equivalente CA referente à segunda parte do estágio de <i>buffer</i> . À esquerda o equivalente ao transistor Q5. À direita o equivalente ao transistor Q7.	18
Figura 15 - Parte do circuito do amplificador que mostra parte do estágio de <i>buffer</i> e o estágio de ganho.....	20
Figura 16 - Equivalente CA do estágio de ganho. À esquerda o equivalente ao transistor Q8. À direita o equivalente ao transistor Q9.....	22
Figura 17 - Parte do circuito amplificador que mostra o estágio de ganho e o estágio multiplicador de V_{BE}	24
Figura 18 - Operação dos transistores em classe A.....	26
Figura 19 - Operação em classe B.....	26
Figura 20 - Sinal de saída de um amplificador classe B.....	27
Figura 21 - Parte do circuito amplificador que mostra os últimos estágios.	28
Figura 22 - Linha de carga CC do circuito <i>push-pull</i>	29

Figura 23 - Curva I_E em função de V_{BE} do diodo Base-Emissor de transistores bipolares.	30
Figura 24 - Equivalente CA do estágio <i>push-pull</i> de saída. À esquerda o equivalente do circuito <i>push-pull</i> que conduz no semiciclo positivo do sinal de saída. À direita, o equivalente do circuito <i>push-pull</i> que conduz no semiciclo negativo do sinal.	31
Figura 25 - Diagrama de blocos da realimentação negativa do circuito amplificador.	32
Figura 26 - Efeito da realimentação na resposta em frequência do circuito. (BOYLESTAD, 2004, p.548)	34
Figura 27 - Determinação da margem de ganho e margem de fase. (BOYLESTAD, 2004, p.554)	35
Figura 28 - Tensões do transformador.....	36
Figura 29 - Imagem da simulação do estágio amplificador diferencial.	37
Figura 30 - Gráficos da Freq. de Corte [kHz], Distorção [%], Ganho [dB] e Tensão no R_C [V] em função da resistência de R_7 e R_8 . Em verde, o gráfico da frequência de corte. Em vinho, o gráfico da distorção. Em azul, o gráfico do ganho. Em laranja, o gráfico da tensão sobre R_7 e R_8	39
Figura 31 - Gráficos da Freq. de Corte [kHz], Distorção [%], Ganho [dB] e Tensão no R_C [V] em função da corrente da fonte de corrente I_{R1} (mA). Em verde, o gráfico da frequência de corte. Em vinho, o gráfico da distorção. Em azul, o gráfico do ganho. Em laranja, o gráfico da tensão sobre R_7 e R_8	42
Figura 32 - Gráficos da Freq. de Corte [kHz], Distorção [%], Ganho [dB] e Tensão no R_C [V] em função da resistência de R_3 e R_4 . Em verde, o gráfico da frequência de corte. Em vinho, o gráfico da distorção. Em azul, o gráfico do ganho. Em laranja, o gráfico da tensão sobre R_7 e R_8	43
Figura 33 - Capacitância de Miller.....	40
Figura 34 - Esquema mostrando a estimativa das máximas correntes nos estágios.....	45
Figura 35 - Simulação do estágio de <i>buffer</i>	46
Figura 36 - Simulação do estágio de ganho e do multiplicador de V_{BE}	49
Figura 37 - Imagem do circuito da simulação do estágio de <i>push-pull</i>	52
Figura 38 - Esquema da medição das margens de ganho e de fase.....	55
Figura 39 - Circuito utilizado na simulação da realimentação negativa.	55
Figura 40 - Face de cima da placa de circuito impresso do amplificador.	63

Figura 41 - Face de baixo da placa de circuito impresso do amplificador.	64
Figura 42 - Placa de circuito impresso produzida.	64
Figura 43 - Disposição dos equipamentos dentro da caixa do projeto.	65
Figura 44 - Disposição das placas, dissipadores e do transformador na caixa do projeto. .	65
Figura 45 - Sinal de entrada do amplificador diferencial montado.	66
Figura 46 - Sinal de saída do amplificador diferencial montado.	66
Figura 47 - Sinal aplicado na entrada do amplificador diferencial.	67
Figura 48 - Sinal de saída do estágio de <i>buffer</i>	67
Figura 49 - Sinal aplicado na entrada do amplificador diferencial para verificar a frequência de corte do circuito.	68
Figura 50 - Sinal de saída do estágio de <i>buffer</i> utilizado para verificar a frequência de corte do circuito montado até aqui.	68
Figura 51 - Sinal de entrada aplicado para verificar o ganho total do circuito em malha aberta.	69
Figura 52 - Sinal de saída do circuito amplificador em malha aberta.	69
Figura 53 - Sinal de entrada aplicado para verificar a frequência de corte do circuito em malha aberta.	70
Figura 54 - Sinal de saída do circuito em malha aberta quando é atingida a frequência de corte do circuito.	70
Figura 55 - Sinal de entrada aplicado para verificar o ganho do circuito em malha fechada.	71
Figura 56 - Sinal de saída do circuito em malha fechada.	71
Figura 57 - Sinal de entrada aplicado para verificar a frequência de corte do circuito amplificador em malha fechada.	72
Figura 58 - Sinal de saída do circuito amplificador em malha fechada quando é atingida a frequência de corte do circuito.	72
Figura 59 - Resposta em frequência do amplificador.	75
Figura 60 - Distorção harmônica total do amplificador em função da potência na carga. ..	76
Figura 61 - Distorção harmônica total em função da frequência do sinal.	78
Figura 62 - Transformada de Fourier do sinal de entrada do amplificador. Em amarelo o sinal de entrada do amplificador. Em verde o sinal de saída do amplificador.	79

Figura 63 - Transformada de Fourier do sinal de saída do amplificador. Em amarelo, o sinal de entrada. Em verde, o sinal de saída do amplificador. 79

SUMÁRIO

1.	INTRODUÇÃO.....	1
2.	AMPLIFICADOR DIFERENCIAL.....	5
2.1.	Análise do amplificador diferencial básico.....	6
2.2.	Tensão de <i>offset</i> de entrada.....	8
2.3.	Operação CA do circuito.....	9
2.4.	Ganho de tensão com terminação simples.....	10
3.	<i>BUFFER</i>	13
3.1.	Polarização CC do estágio de <i>buffer</i>	14
3.2.	Análise CA do estágio de <i>buffer</i>	17
4.	ESTÁGIO DE GANHO.....	20
4.1.	Polarização do estágio de ganho.....	20
4.2.	Análise CA do estágio de ganho.....	22
5.	MULTIPLICADOR DE V_{BE}	24
6.	ESTÁGIO <i>PUSH-PULL</i> DE SAÍDA.....	26
6.1.	Polarização do estágio <i>push-pull</i> de saída.....	28
6.2.	Linha de carga CC.....	29
6.3.	Análise CA do estágio <i>push-pull</i> de saída.....	30
7.	REALIMENTAÇÃO NEGATIVA.....	32
7.1.	Ganho.....	32
7.2.	Impedância de entrada.....	33
7.3.	Impedância de saída.....	33
7.4.	Resposta em frequência.....	33
7.5.	Margem de ganho e margem de fase.....	34
8.	SIMULAÇÕES.....	36

8.1.	Amplificador diferencial	37
8.1.1.	Estudo da influência do valor do resistor de coletor no desempenho do estágio 38	
8.1.2.	Estudo da influência do valor da corrente no desempenho do estágio	41
8.1.3.	Estudo da influência do valor da corrente no desempenho do estágio	42
8.1.4.	Definição dos valores.....	44
8.2.	<i>Buffer</i>	44
8.2.1.	Correntes drenadas pelos estágios	44
8.2.2.	Estudo da influência do valor dos resistores de coletor no desempenho do estágio de <i>buffer</i>	46
8.2.3.	Estudo da influência do valor dos resistores de emissor no desempenho do estágio de <i>buffer</i>	47
8.2.1.	Definição dos valores.....	48
8.3.	Estágio de Ganho	48
8.3.1.	Multiplicador de V_{BE}	48
8.3.2.	Estudo da influência do valor dos resistores de coletor no desempenho do estágio de ganho.....	49
8.3.3.	Estudo da influência do valor dos resistores de emissor no desempenho do estágio de ganho.....	50
8.3.4.	Definição dos valores.....	51
8.4.	Estágio <i>push-pull</i> de saída.....	51
8.4.1.	Estudo da influência do valor do resistor R23 no desempenho do estágio <i>push- pull</i> de saída	52
8.4.2.	Estudo da influência do valor da corrente em Q14 e Q15 no desempenho do estágio	53
8.4.3.	Estudo da influência do valor dos resistores R27 e R28 no desempenho do estágio <i>push-pull</i> de saída	54

8.4.4.	Determinação dos valores.....	54
8.5.	Realimentação Negativa.....	55
8.5.1.	Margem de ganho e fase sem os capacitores de compensação.....	56
8.5.2.	Margem de ganho e fase com compensação no amplificador diferencial	56
8.5.3.	Margem de ganho e fase com compensação no amplificador diferencial e estágio de ganho.....	56
8.5.4.	Margem de ganho e fase com compensação no amplificador diferencial, estágio de ganho e malha de realimentação	56
9.	MONTAGEM.....	58
9.1.	Dissipadores	58
9.1.1.	Potência dissipada pelos transistores	58
9.1.2.	Características térmicas dos transistores.....	60
9.1.3.	Características do dissipador	60
9.1.4.	Cálculo do comprimento dos dissipadores	60
9.2.	Placas de circuito impresso	63
10.	TESTES	66
10.1.	Verificação dos ganhos	66
10.1.1.	Amplificador diferencial.....	66
10.1.2.	Estágio de <i>Buffer</i>	67
10.1.3.	Amplificador em malha aberta	69
10.1.4.	Amplificador em malha fechada.....	71
10.2.	Resposta em Frequência.....	74
10.3.	Distorção harmônica total em função da potência na carga.....	75
10.4.	Distorção harmônica total em função da frequência do sinal	77
10.5.	Transformada de Fourier.....	78
11.	PROJETO <i>SUBWOOFER</i>	81

12. CONCLUSÃO.....	83
13. BIBLIOGRAFIA.....	84
APÊNDICE.....	86

1. INTRODUÇÃO

O homem estabelece sua relação com o mundo através da sua língua e da capacidade de dar nomes as coisas, sentidos, sentimentos e significados. Isso quer dizer que a forma de expressão de seus pensamentos é primordial para sua existência. A música sempre foi um instrumento útil ao homem sob esse aspecto.

Pensando na evolução do homem, pode-se observar o desenvolvimento das ferramentas e tecnologias por ele criadas e utilizadas, e verificar que foram desenvolvidas também para contemplar a necessidade do homem pela expressão musical.

A história das tecnologias e ferramentas utilizadas para diversas atividades se mistura com a história da música e de seus instrumentos. É possível listar inúmeros exemplos de conceitos, equipamentos e componentes, que foram e são utilizados em muitas atividades, inclusive na música: válvulas, transistores, LPs, fitas cassetes, CDs, DVDs, computadores, entre outros.

Nas últimas décadas, com o advento da internet e a criação do padrão de compressão de dados MPEG Áudio Layer-3, também conhecido com MP3, a distribuição de músicas ocorreu de forma muito grande. Um número enorme de pessoas teve muito mais acesso a diversas músicas e porque não dizer a cultura. Isso gerou um grande impacto nas gravadoras que não souberam lidar com essa concorrência.

Atualmente, a tecnologia de áudio atinge outros patamares, e busca envolver o homem no ambiente onde se está ocorrendo som. Isto é, a reprodução de áudio busca dar a sensação de que a pessoa se encontra no mesmo ambiente onde o som está sendo criado.

Essa tecnologia é empregada em salas de cinema e em sistemas de reprodução de som de alto desempenho, chamados High-End. Nos sistemas High-End se busca o som mais fiel possível ao original, destacando as nuances e as peculiaridades dos instrumentos.

Pensando ainda em salas de cinemas, a interação do público com o filme aumentou muito. Isso ocorre devido às imagens cada vez mais nítidas, e, principalmente, pelo sistema de som que passa a sensação de se estar dentro do filme, emitindo sons em diversas direções. Isso se deve a tecnologia de multicanais de som, que é utilizada nos cinemas e também nas residências, em sistemas conhecidos por *home-theater*, ou cinema em casa.

Nessa tecnologia são empregados vários canais de sons, sendo que cada canal é responsável pela reprodução de um tipo de som. Um dos mais populares sistemas de som deste

tipo é o *Dolby Digital 5.1*[®]. Neste sistema existem seis canais de som separados: Esquerdo frontal, Esquerdo traseiro, Direito frontal, Direito traseiro, central frontal (mais destinado às vozes dos personagens) e ainda um canal para os graves, chamado *Subwoofer*. A Figura 1 mostra a disposição destes canais. Observe que o espectador fica no centro do sistema de som.

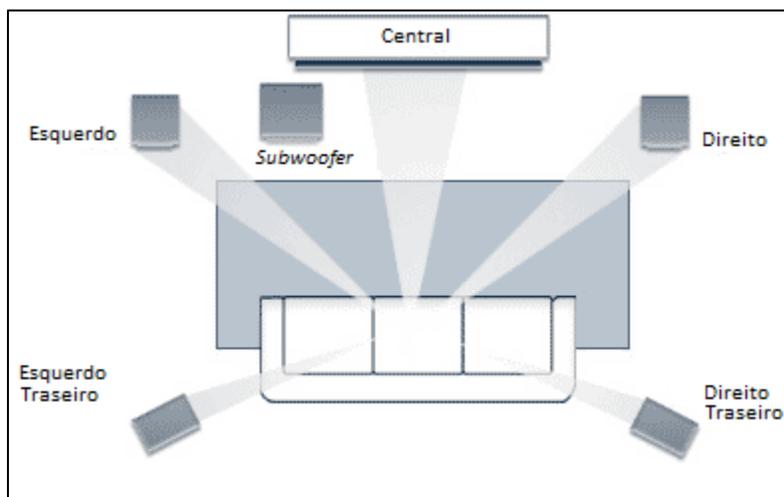


Figura 1 - Disposição dos 5.1 canais.

Os canais traseiros também são conhecidos como *surround* (direito *surround* e esquerdo *surround*), justamente porque eles envolvem o espectador, dando-lhe a impressão de estar dentro do filme.

Neste cenário, o trabalho de conclusão de curso aqui exposto tem por objetivo construir um amplificador de áudio de 5.1 canais para uso em *home-theater*. Ou seja, foi projetado e construído um equipamento que é capaz de receber os seis sinais de sons, referentes aos 5.1 canais, e amplificá-los. Os seis sinais amplificados são entregues a seis alto-falantes distribuídos em um ambiente.

A motivação em se construir o amplificador de 5.1 canais se deve ao fato de que um equipamento comercial desta qualidade custa por volta de R\$ 4.000,00. Desta forma, utilizando-se o amplificador de 5.1 canais que foi construído é possível montar um sistema de som de boa qualidade e com um preço menor.

Baseado nos equipamentos de alta qualidade já existentes no mercado, como amplificadores das marcas Marantz e McIntosh, foi determinada a topologia para o circuito amplificador deste trabalho. Essa topologia é mostrada na Figura 2. Esse circuito pode ser dividido em estágios para seu melhor entendimento, como é mostrado na Figura 3. O circuito do amplificador é dividido nos seguintes estágios:

- Amplificador Diferencial;
- *Buffer*;
- Estágio de Ganho;
- Multiplicador de V_{be} ;
- Estágio *Push-Pull* de saída;
- Realimentação;

No desenvolvimento deste trabalho serão apresentados e descritos os estágios do circuito.

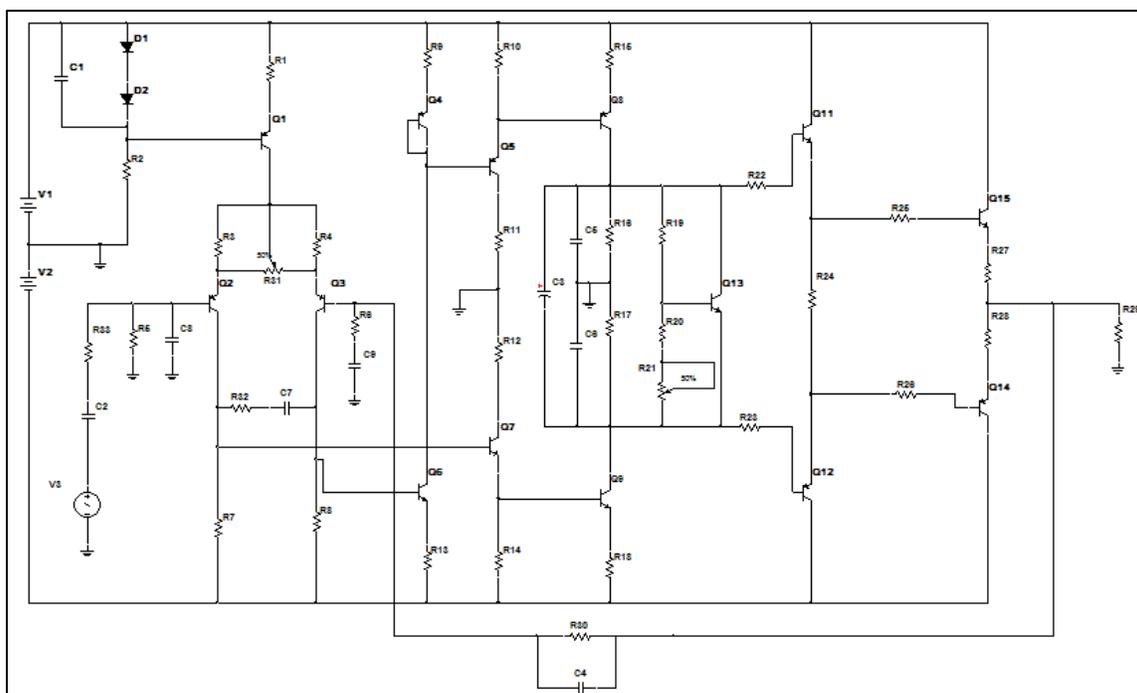


Figura 2 - Topologia utilizada para o projeto do amplificador.

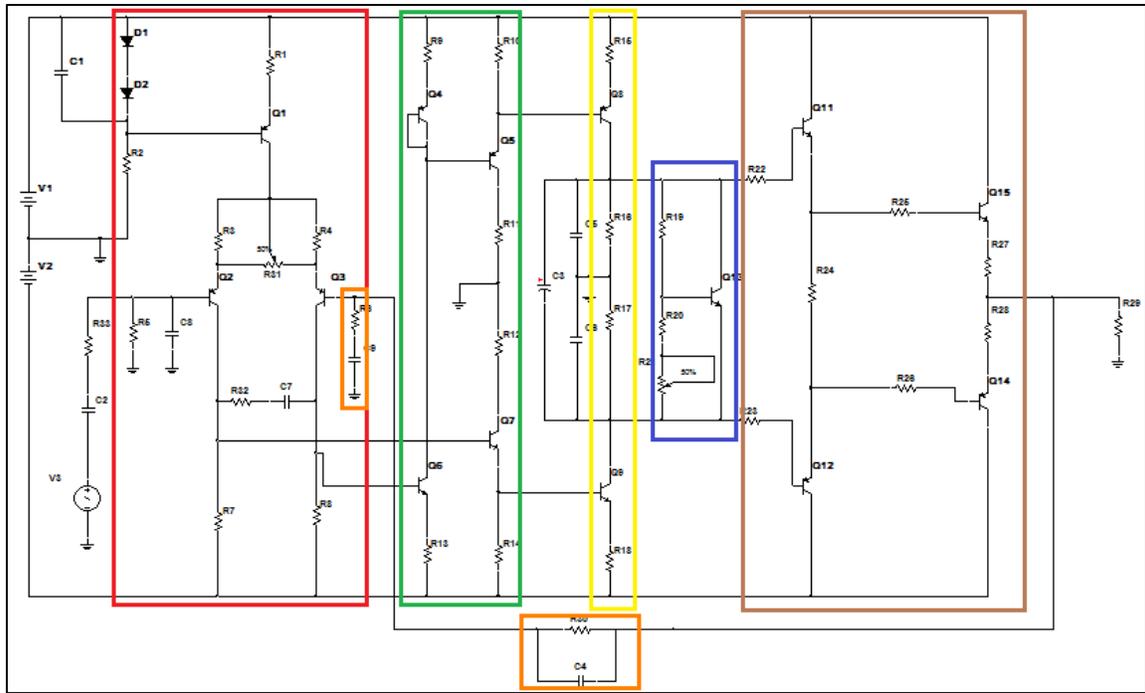


Figura 3 - Circuito do amplificador dividido em estágios. Em vermelho, o amplificador diferencial; em verde, o estágio de *buffer*; em amarelo, o estágio de ganho; em azul, o multiplicador de V_{be} ; em marrom, o estágio *push-pull* de saída; em laranja, a malha de realimentação.

2. AMPLIFICADOR DIFERENCIAL

O primeiro estágio do circuito é chamado amplificador diferencial. O circuito amplificador diferencial é uma conexão bastante utilizada em amplificadores operacionais. Essa conexão pode ser descrita considerando-se o amplificador diferencial básico mostrado na Figura 4. Observe que os emissores estão conectados um ao outro, e que o circuito tem duas entradas e duas saídas separadas. O circuito amplificador diferencial pode operar utilizando uma única fonte de tensão, contudo muitos circuitos amplificadores diferenciais utilizam duas fontes de tensão separadas.

Segundo Boylestad (2004, p. 438), são possíveis algumas combinações de entradas, as quais são descritas a seguir:

Terminação simples – Se caracteriza quando é aplicado um sinal em uma entrada, enquanto a outra entrada é conectada ao GND. Nesta operação, como os emissores estão conectados, o sinal de entrada aciona ambos os transistores, resultando em saídas para os dois coletores.

Terminação dupla – Se caracteriza quando dois sinais de polaridades opostas são aplicados um em cada entrada. Na operação com terminação dupla, a diferença dos sinais de entrada resulta em sinais de saída nos coletores formados por causa da diferença dos sinais aplicados a ambas as entradas.

Modo comum – Se caracteriza quando um mesmo sinal é aplicado nas duas entradas do circuito ao mesmo tempo. Na operação modo-comum, o sinal comum de entrada resulta em sinais de polaridade oposta em cada coletor, que se cancelam de maneira que o sinal resultante de saída seja zero. Na prática, o que ocorre é que dois sinais opostos não se cancelam completamente, resultando em um sinal pequeno.

Esses três modos de operação do amplificador diferencial mostram a principal característica deste circuito, que é o ganho muito grande quando sinais opostos são aplicados às entradas, comparado a um ganho muito pequeno resultante de entradas comuns. A razão entre esse ganho diferencial e o ganho comum é chamada rejeição de modo-comum. Essa característica é muito importante, pois atenua sinais interferentes presentes nas duas entradas do amplificador diferencial.

2.1. Estudo do amplificador diferencial básico

A Figura 4 mostra o circuito diferencial. Considerando o circuito simétrico, os transistores Q1 e Q2 idênticos e $V_1 = V_2 = 0$ (GND), é possível escrever:

$$V_{BE1} = V_{BE2}$$

$$I_{C1} = I_{C2}$$

$$I_{E1} = I_{E2}$$

Considerando $\beta \gg 1$,

$$I_{C1} = I_{E1}$$

$$I_{C2} = I_{E2}$$

Sendo ainda que,

$$I_E = I_{E1} + I_{E2}$$

Observe na Figura 4 que com V_1 e V_2 conectados ao GND, o potencial no ponto P é constante e igual a $-V_{BE}$. De acordo com Pertence (1988, p. 312) pode-se concluir que a corrente I_E é função apenas de R_E e $|-V_{CC}|$. Considerando estes parâmetros constantes, o valor de I_E também será constante. Assim sendo, é possível dizer que a fonte $|V_{CC}|$ e o resistor R_E formam uma fonte de corrente constante.

Sendo I_E constante, tem-se:

$$I_{C1} + I_{C2} = \text{CONSTANTE}$$

Logo:

$$\text{Se } I_{C1} \uparrow \Leftrightarrow I_{C2} \downarrow$$

$$\text{Se } I_{C1} \downarrow \Leftrightarrow I_{C2} \uparrow$$

Onde ‘ \uparrow ’ = ‘aumenta’ e ‘ \downarrow ’ = ‘diminui’.

Observe que também é possível relacionar:

Para V_2 fixo:

$$V_1 \uparrow, I_{B1} \uparrow, I_{C1} \uparrow \Rightarrow V_3 \downarrow, I_{C2} \downarrow \Rightarrow V_4 \uparrow$$

Para V_1 fixo

$$V_2 \uparrow, I_{B2} \uparrow, I_{C2} \uparrow \Rightarrow V_4 \downarrow, I_{C1} \downarrow \Rightarrow V_3 \uparrow$$

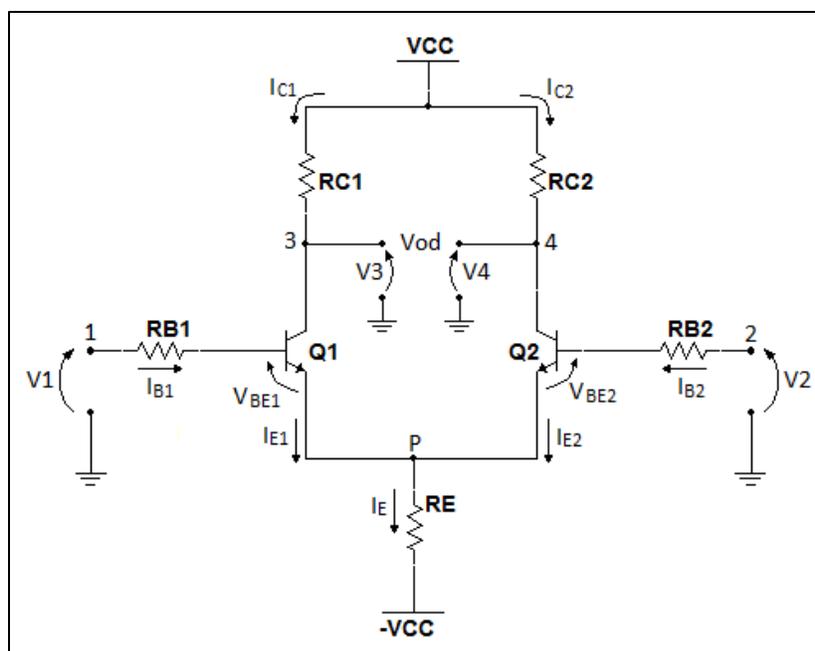


Figura 4 - Circuito amplificador diferencial básico. (PERTENCE, 1988, p.313)

Então:

é possível dizer que o sinal obtido na saída 3 do amplificador diferencial está em fase com o sinal aplicado na entrada 2, quando a entrada 1 estiver no GND, e, por outro lado, a saída 4 está em antifase com a referida entrada. Entretanto, se for aplicado um sinal na entrada 1 e colocarmos a entrada 2 no GND, teremos na saída 3 um sinal em antifase e na saída 4 um sinal em fase com o sinal aplicado (PERTENCE, 1988, p.314).

A Figura 5 ilustra essa descrição.

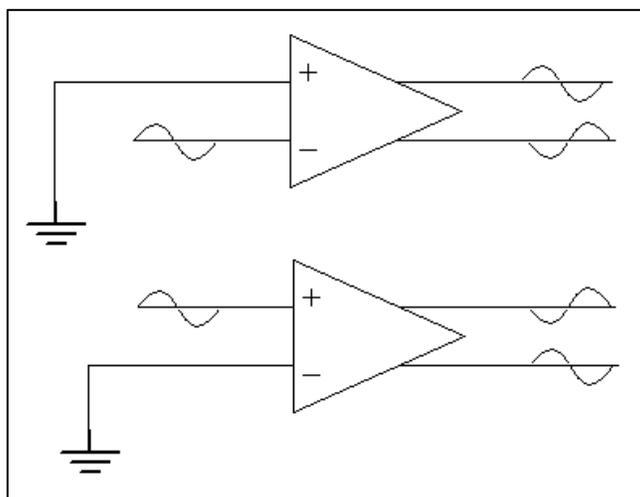


Figura 5 - Demonstração da defasagem entre as saídas do amplificador diferencial. (PERTENCE, 1988, p.314)

Como já mencionado anteriormente, é frequente usar o amplificador diferencial na configuração de terminação dupla, na qual se tem na entrada 1 um sinal $v_1 = V_m \text{sen}(\omega t)$ e outro sinal $v_2 = -V_m \text{sen}(\omega t)$ na entrada 2. Portanto, as saídas possuem os seguintes sinais:

$$v_3 = -2V_m \text{sen}(\omega t)$$

$$v_4 = 2V_m \text{sen}(\omega t)$$

Sendo,

$$V_{od} = V_3 - V_4$$

$$V_{id} = V_2 - V_1$$

Desta forma, o ganho diferencial será sempre positivo e é dado por:

$$A_d = \frac{V_{od}}{V_{id}}$$

Isto também pode ser escrito da seguinte maneira:

$$V_{od} = A_d(V_2 - V_1)$$

2.2. Tensão de *offset* de entrada

De acordo com Pertence (1988, p. 316), idealmente, a tensão de saída do amplificador diferencial da Figura 4 deveria ser nula quando $V_2=V_1=0$. Contudo, ocorre um desbalanceamento das correntes do circuito, por causa das diferenças existentes nas características de Q_1 e Q_2 (apesar de serem o mesmo tipo de transistor). Por conseguinte:

$$V_{BE1} \neq V_{BE2}$$

O módulo da diferença entre estes valores de V_{BE} é denominado tensão de *offset* de entrada.

$$V_{offset} = |V_{BE2} - V_{BE1}|$$

Esta tensão *offset* de entrada atua como um sinal diferencial de entrada (V_{id}) aplicado nas entradas do amplificador e causa uma tensão diferencial de saída (V_{od}) chamada tensão *offset* de saída.

Para minimizar ou eliminar esta tensão de *offset* na saída é utilizado um divisor de tensão através de um potenciômetro, posicionado entre os emissores dos transistores Q_1 e Q_2 para balancear as correntes e corrigir esta diferença nas tensões de saída. Este ajuste é feito com as entradas conectadas ao GND. Após esse ajuste, é possível proceder as montagens do circuito.

2.3. Operação CA do circuito

A Figura 6 mostra uma conexão CA de um amplificador diferencial.

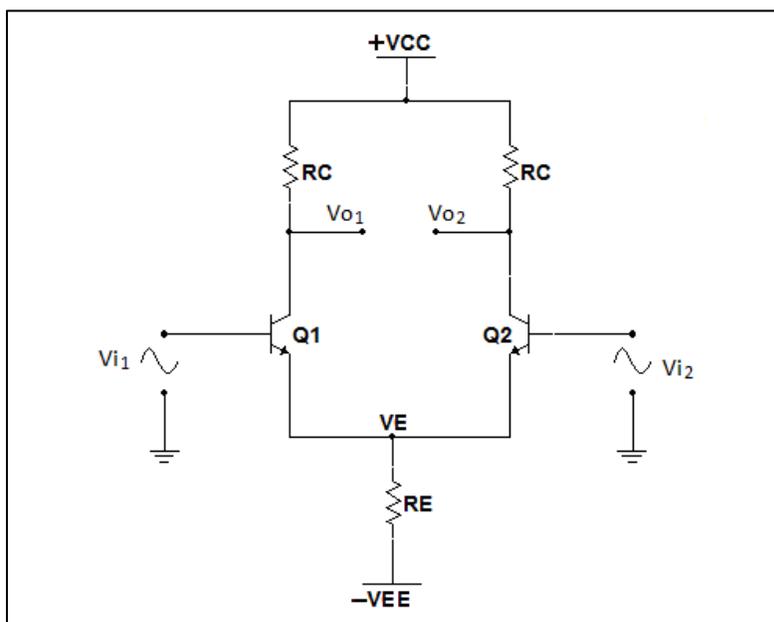


Figura 6 - Conexão CA do amplificador diferencial. Operação em terminação dupla. (BOYLESTAD, 2004, p.439)

Observe que o circuito opera na terminação dupla, na qual sinais de entrada separados são aplicados como V_{i1} e V_{i2} , resultando em saídas separadas como V_{o1} e V_{o2} . Para realizar a análise, o circuito é redesenhado na Figura 7. Cada transistor é substituído por seu equivalente CA. Desta forma, é realizada a análise do circuito quanto a sua operação CA.

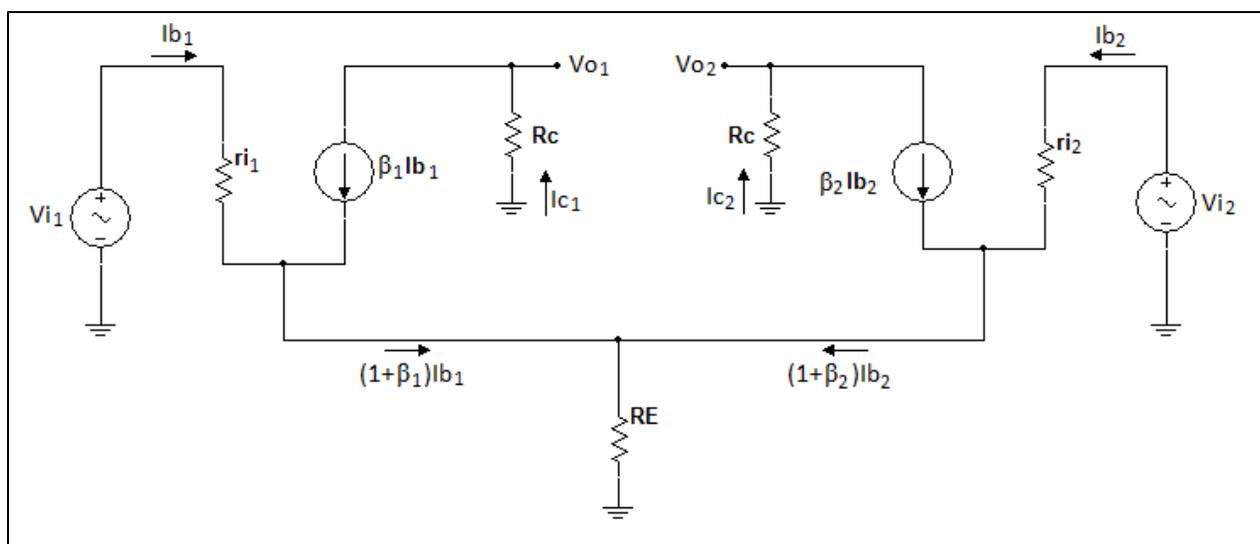


Figura 7 - Equivalente CA do circuito amplificador diferencial. (BOYLESTAD, 2004, p.439)

Como no circuito do amplificador 5.1 será utilizado o amplificador diferencial apenas no modo com terminação simples, será analisado o ganho para apenas este tipo de configuração.

2.4. Ganho de tensão com terminação simples

Na terminação simples, aplica-se um sinal em uma entrada com a outra entrada conectada ao GND, como mostra a Figura 8. O equivalente CA dessa conexão é desenhado na Figura 9.

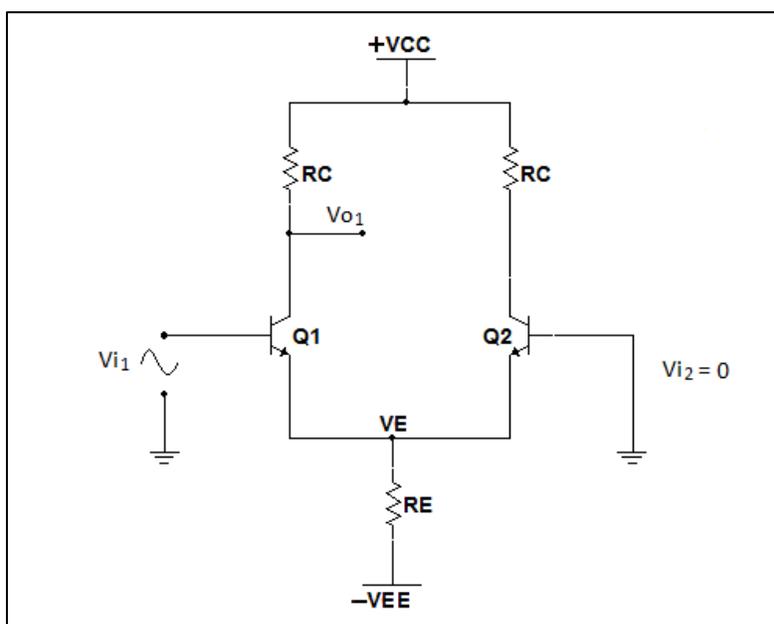


Figura 8 - Conexão CA do amplificador diferencial com terminação simples. (BOYLESTAD, 2004, p.440)

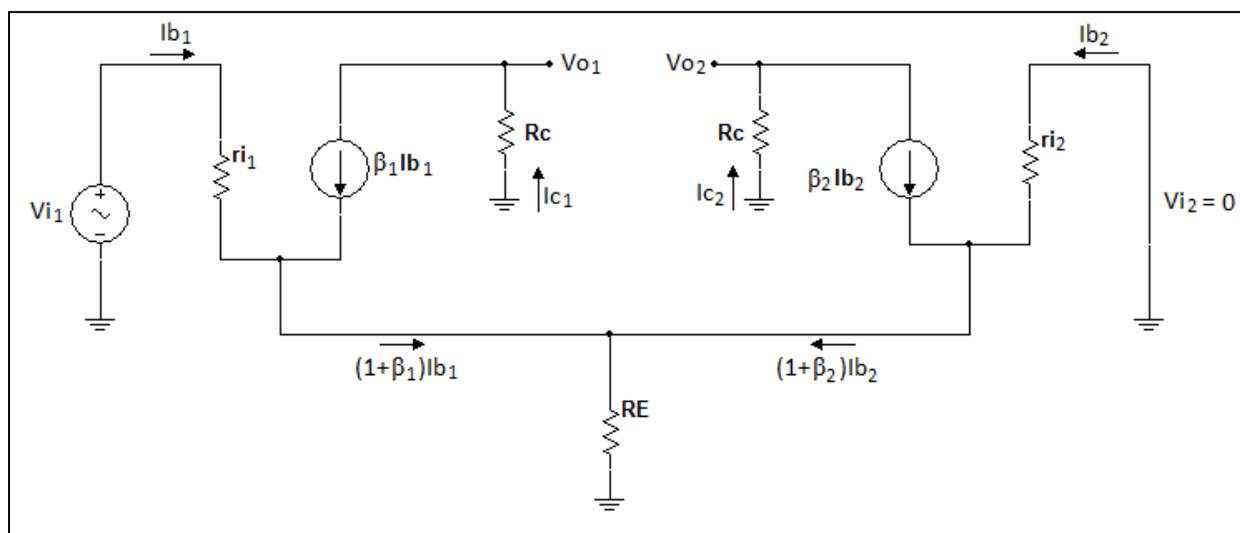


Figura 9 - Equivalente CA do circuito com terminação simples. (BOYLESTAD, 2004, p.440)

A corrente de base CA pode ser calculada utilizando a equação da lei das tensões de Kirchoff (LTK) da entrada da base 1. Se considerarmos que os dois transistores são casados, então:

$$I_{b1} = I_{b2} = I_b$$

$$r_{i1} = r_{i2} = r_i$$

Com R_E muito grande (idealmente infinito), o circuito para obtenção da equação LTK simplifica-se para o circuito da Figura 10.

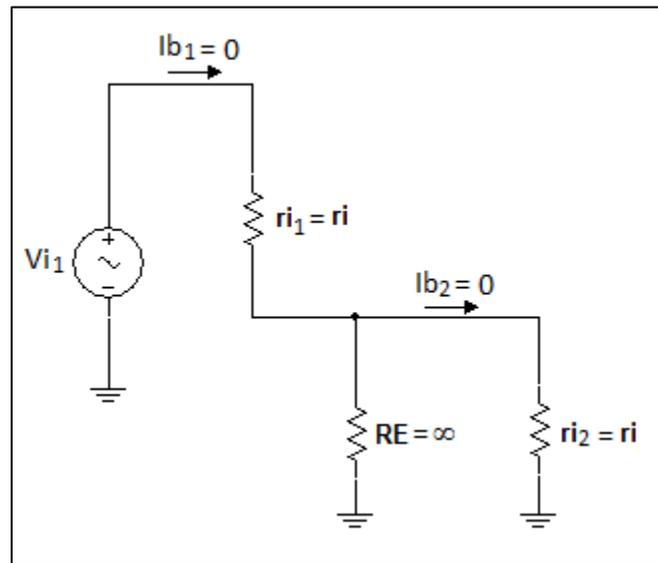


Figura 10 - Circuito parcial para calcular I_b . (BOYLESTAD, 2004, p.440)

Aplicando-se a LTK ao circuito, tem-se:

$$V_{i1} - I_b \cdot r_i - I_b \cdot r_i = 0$$

Do qual, é possível concluir que:

$$I_b = \frac{V_i}{2r_i}$$

Considerando,

$$\beta_1 = \beta_2 = \beta$$

Então,

$$I_C = \beta I_B = \beta \frac{V_i}{2r_i}$$

Assim, sabendo o valor de I_C , a tensão de saída em qualquer coletor será:

$$V_o = I_C R_C = \beta \frac{V_{i1}}{2r_i} R_C = \frac{\beta R_C}{2\beta r_e} V_i$$

Desta forma, o ganho de tensão com terminação simples, em qualquer coletor, é dado por:

$$A_v = \frac{V_o}{V_i} = \frac{R_C}{2r_e}$$

3. BUFFER

Geralmente o nome *buffer* é dado a circuitos que fazem a intermediação entre dois outros circuitos. Pensando nisso, este estágio do circuito do amplificador foi denominado *buffer*. Ele faz a ligação entre o estágio diferencial de entrada e o estágio de ganho do amplificador, como mostra a Figura 11.

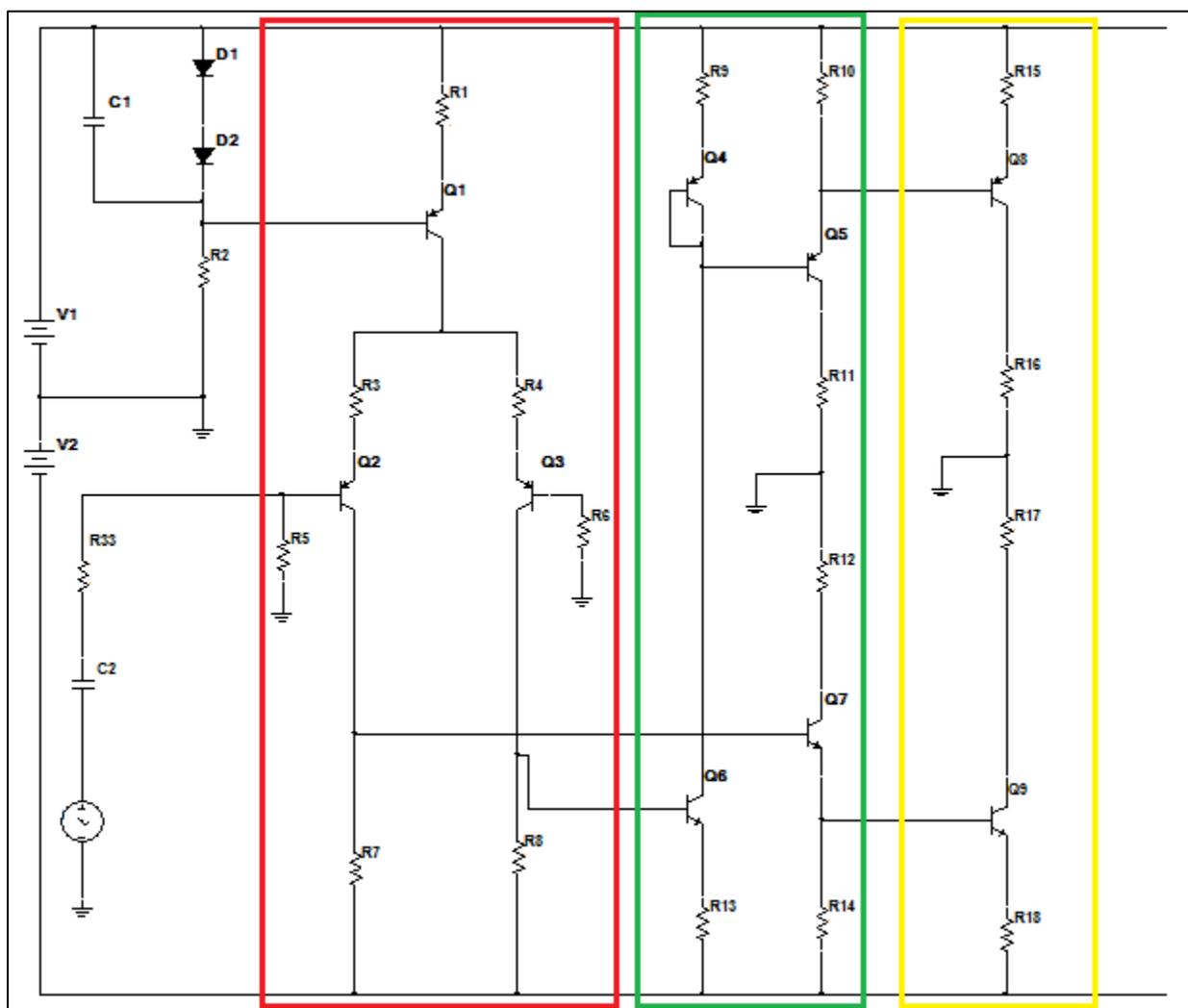


Figura 11 - Quadros dividindo o circuito em estágios. Quadro vermelho - amplificador diferencial. Quadro verde - estágio de buffer. Quadro amarelo - estágio de ganho

Se for observado mais a fundo, é possível dividir o estágio de *buffer* em duas partes. A primeira, formada pelos transistores Q4 e Q6, caracteriza a configuração emissor-comum. A segunda, formada pelos transistores Q5 e Q7, caracteriza a configuração coletor-comum.

A configuração emissor-comum (EC), encontrada na primeira parte do estágio tem a função de obter o sinal de uma das saídas do amplificador diferencial, defasá-la em 180° e

entregá-la a um dos transistores da segunda parte do estágio de *buffer*. Observe que o transistor Q4 funciona como um diodo. Isso foi utilizado para que as tensões e correntes das duas partes do estágio fossem o mais igual possível, diminuindo a distorção dos sinais de saída.

Na segunda parte do estágio de *buffer*, o transistor Q5 recebe o sinal da primeira parte do estágio, enquanto o transistor Q7 recebe o sinal da outra saída do amplificador diferencial. Nesta parte, os dois transistores operam na configuração coletor-comum (CC).

A configuração coletor-comum não apresenta ganho de tensão e possui baixa impedância de saída, o que torna essa configuração boa para aplicação em circuito de *buffer*. A baixa impedância de saída evita o efeito de carregamento que poderia surgir se a saída do amplificador diferencial fosse aplicada diretamente na entrada do estágio de ganho.

Além disso, o estágio de *buffer* tem as correntes da primeira e segunda parte espelhadas. Isso faz com que os transistores das duas partes funcionem no mesmo ponto quiescente, fazendo com que os dois sinais de saída tenham menores distorções.

Desta forma, utilizando a configuração EC para defasar uma saída do amplificador diferencial e entregá-la ao transistor Q5 e usando a configuração CC para evitar o efeito de carregamento, o estágio de *buffer* faz a ligação entre o amplificador diferencial e o estágio de ganho, entregando dois sinais em fase e de mesma amplitude ao estágio de ganho.

3.1. Polarização CC do estágio de *buffer*

Observe, na Figura 11, que a base de Q6 está ligada no coletor de Q3. Assim a tensão na base de Q6 é igual à tensão sobre o resistor R8. O mesmo acontece na base de Q7, que está ligada ao coletor de Q2 e tem sua tensão igual ao do resistor R7.

Assim,

$$V_{B_{Q6}} = V_{R8} = I_{R8} \cdot R8$$

$$V_{B_{Q7}} = V_{R7} = I_{R7} \cdot R7$$

Sabe-se que a corrente sobre esses resistores são fixas e iguais.

$$I_{R7} = I_{R8} = \frac{I_{R1}}{2}$$

Sendo que a corrente em R1 é constante, devido à fonte de corrente formada entre o resistor R1, os diodos D1 e D2 e o transistor Q1. Observe que a tensão em R1 é fixa e igual à tensão de em D1, que é aproximadamente 0,7V. Assim,

$$V_{R14} = V_{BQ7} - 0,7$$

Como essas tensões são amarradas ao primeiro estágio e fixas, elas estabelecem a corrente do seu ramo, como mostra Figura 12.

Desta forma, a corrente que passa na primeira parte do estágio é dada por:

$$I_1 = I_{R13} = \frac{V_{R13}}{R13}$$

Já a corrente da segunda parte do estágio é:

$$I_2 = I_{R14} = \frac{V_{R14}}{R14}$$

Sabe-se ainda que:

$$R9 = R10 = R13 = R14$$

Observe que a corrente I_1 passa pelos resistores R9 e R13, e a corrente I_2 passa pelos resistores R10, R11, R12 e R14. Por isso, pela Lei de Ohm, tem-se que:

$$V_{R9} = V_{R13} = I_1 \cdot R9 = I_1 \cdot R13$$

$$V_{R10} = V_{R14} = I_2 \cdot R10 = I_2 R14$$

Como V_{R13} e V_{R14} estão amarradas ao primeiro estágio e são constantes, todas as correntes e tensões do estágio de *buffer* também serão.

As tensões sobre R11 e R12 são dadas por:

$$V_{R11} = I_2 \cdot R11$$

$$V_{R12} = I_2 \cdot R12$$

Sendo, R11 igual a R12, tem-se que:

$$V_{R11} = V_{R12}$$

Além disso, sabe-se que:

$$Q4 = Q5$$

$$Q6 = Q7$$

Como os transistores Q4 e Q5 são iguais, as tensões V_{BE} deles serão muito próximas. O transistor Q4 é usado como diodo para que a tensão sobre R9 seja igual à tensão sobre R10. Desta forma, a corrente também é espelhada.

As tensões V_{CE} dos transistores deste estágio podem ser determinadas pela LTK. Assim, pela LTK na primeira parte do estágio, tem-se:

$$V_1 + V_2 = V_{R9} + 0,7 + V_{R13} + V_{CEQ6} \Leftrightarrow V_{CEQ6} = V_1 + V_2 - V_{R9} - 0,7 - V_{R13} \Leftrightarrow$$

$$V_{CEQ6} = V_1 + V_2 - 2 \cdot V_{R9} - 0,7$$

Da mesma forma, aplicando-se a LTK na segunda parte do estágio, tem-se:

$$V_1 = V_{R11} + V_{R10} + V_{ECQ5} \Leftrightarrow V_{ECQ5} = V_1 - V_{R11} - V_{R10}$$

$$V_2 = V_{R12} + V_{R14} + V_{CEQ7} \Leftrightarrow V_{CEQ7} = V_2 - V_{R12} - V_{R14}$$

3.2. Análise CA do estágio de *buffer*

A Figura 13 mostra o equivalente CA da primeira parte do estágio de *buffer*, a configuração emissor-comum. Observe que na configuração EC a saída é localizada no coletor do transistor.

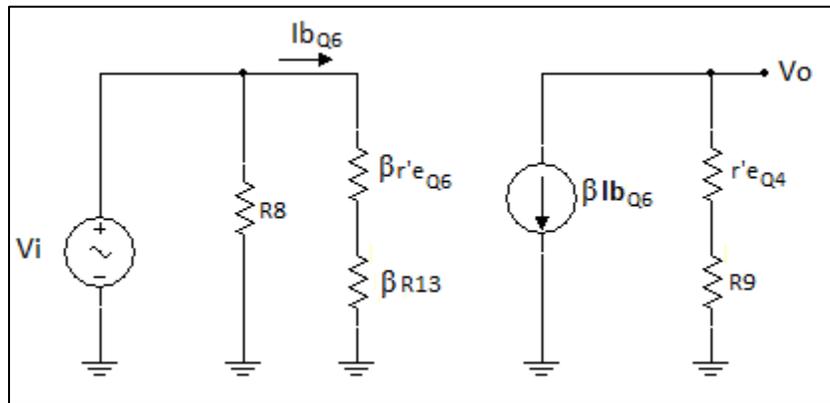


Figura 13 - Equivalente CA da primeira parte do estágio de *buffer*.

A partir do equivalente CA, mostrado na Figura 13, é possível mostrar que:

$$V_i = I_B \cdot \beta (r'_{eQ6} + R13)$$

$$V_o = -\beta \cdot I_B \cdot (r'_{eQ4} + R9)$$

Tendo o valor das tensões de entrada e saída, pode-se determinar o ganho CA do circuito.

$$A_v = \frac{V_o}{V_i} = \frac{-\beta \cdot I_B \cdot (r'_{eQ4} + R9)}{I_B \cdot \beta (r'_{eQ6} + R13)}$$

Segundo Malvino (1987, p.210), o valor da resistência CA do diodo (base-emissor) de um transistor pode ser aproximada por:

$$r'e = \frac{25mV}{I_C}$$

Assim, sabendo que a corrente I_1 passa pelos dois transistores, Q4 e Q6, tem-se:

$$r'_{eQ6} = r'_{eQ4} = \frac{25mV}{I_1}$$

Além disso, os resistores R9 e R13 têm valores iguais. Desta forma, a equação do ganho da primeira parte do estágio de *buffer* pode ser simplificada por:

$$A_v = \frac{V_o}{V_i} = \frac{-\beta \cdot I_B \cdot (r'_{e_{Q4}} + R9)}{I_B \cdot \beta (r'_{e_{Q6}} + R13)} = -1$$

O sinal negativo na equação do ganho se deve ao fato de que a tensão de saída do circuito é defasada de 180° em relação à entrada. Isso porque quando a corrente I_B aumenta, a corrente I_c também aumenta. Isso provoca o aumento da queda de tensão em R9, causando a diminuição do valor de tensão no coletor de Q6.

A Figura 14 mostra o equivalente CA da segunda parte do estágio de *buffer*, isto é, a configuração coletor-comum, cuja saída é posicionada no emissor do transistor. Observe que ele é dividido em dois circuitos, o equivalente ao transistor Q5 e o equivalente ao transistor Q7.

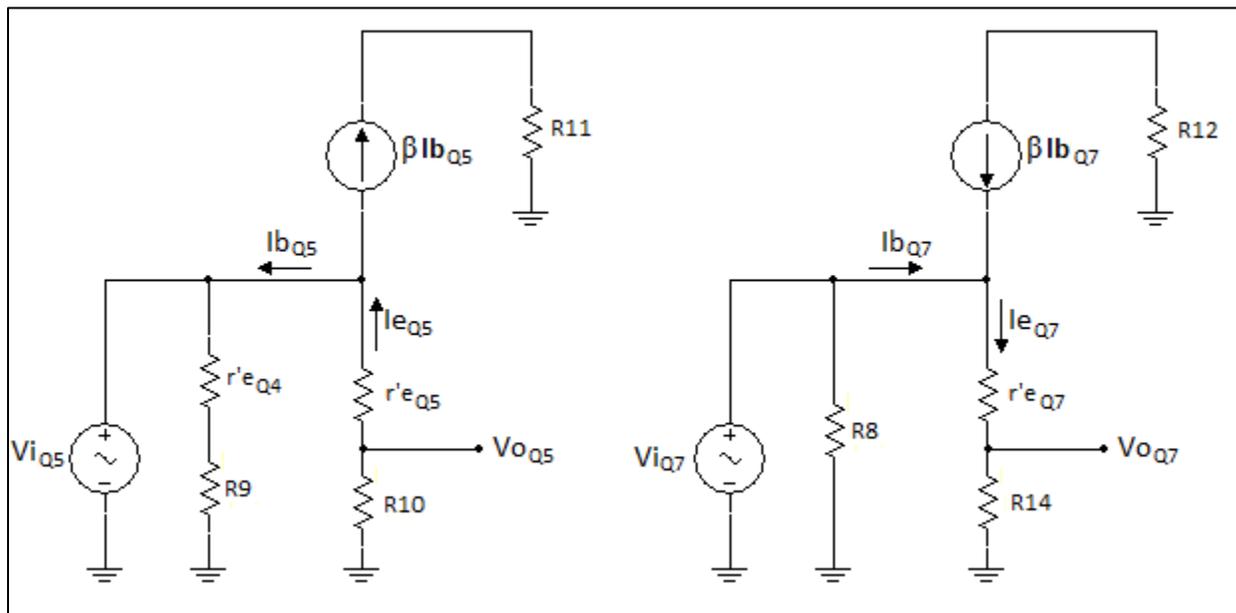


Figura 14 - Equivalente CA referente à segunda parte do estágio de *buffer*. À esquerda o equivalente ao transistor Q5. À direita o equivalente ao transistor Q7.

A partir da Figura 14, é possível dizer:

$$A_{v_{Q5}} = \frac{V_{o_{Q5}}}{V_{i_{Q5}}} = \frac{I_{e_{Q5}} \cdot R10}{I_{e_{Q5}} \cdot (r'_{e_{Q5}} + R10)}$$

Sabendo que:

$$r'_{e_{Q5}} \ll R10$$

Pode-se dizer:

$$Av_{Q5} = \frac{V_{o_{Q5}}}{V_{i_{Q5}}} = \frac{I_{e_{Q5}} \cdot R_{10}}{I_{e_{Q5}} \cdot (r'_{e_{Q5}} + R_{10})} \simeq 1$$

O mesmo se aplica ao equivalente ao transistor Q7.

$$Av_{Q7} = \frac{V_{o_{Q7}}}{V_{i_{Q7}}} = \frac{I_{e_{Q7}} \cdot R_{14}}{I_{e_{Q7}} \cdot (r'_{e_{Q7}} + R_{14})} \simeq 1$$

4. ESTÁGIO DE GANHO

Como o próprio nome diz, neste estágio se dá o principal ganho de tensão do circuito. Este estágio é formado pelos transistores Q8 e Q9 e pelos resistores R15, R16, R17 e R18, como mostrado na Figura 15.

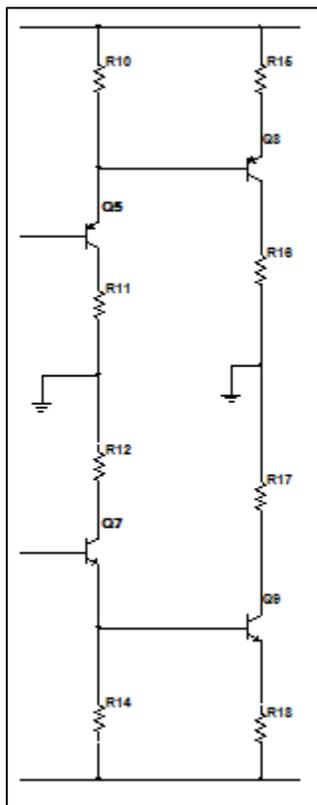


Figura 15 - Parte do circuito do amplificador que mostra parte do estágio de *buffer* e o estágio de ganho.

4.1. Polarização do estágio de ganho

O estágio de ganho também tem a sua polarização CC vinculada ao estágio anterior. Observe que:

$$V_{B_{Q8}} = V_{C_{Q5}} = V_{R10}$$

$$V_{B_{Q9}} = V_{C_{Q7}} = V_{R14}$$

Da polarização do estágio de *buffer*, sabe-se que a tensão sobre os resistores R10 e R14 são fixas. Por isso, as tensões nas bases dos transistores Q8 e Q9 também são.

$$V_{B_{Q8}} = V_{C_{Q5}} = V_{R10} \leftrightarrow \textit{Constante}$$

$$V_{B_{Q9}} = V_{C_{Q7}} = V_{R14} \leftrightarrow \textit{Constante}$$

A partir da Figura 15, pode-se dizer que:

$$V_{R15} = V_{BQ8} - 0,7$$

$$V_{R18} = V_{BQ9} - 0,7$$

Sabendo das tensões em R15 e R18, pela Lei de Ohm, as correntes são:

$$I_{EQ8} = \frac{V_{R15}}{R15}$$

$$I_{EQ9} = \frac{V_{R18}}{R18}$$

Como:

$$I_E = I_B + I_C$$

$$I_E = \frac{I_C}{\beta} + I_C$$

E, considerando $\beta \gg 1$, tem-se que:

$$I_{CQ8} = I_{EQ8} = \frac{V_{R15}}{R15}$$

$$I_{CQ9} = I_{EQ9} = \frac{V_{R18}}{R18}$$

Desta forma, é possível determinar as tensões sobre R16 e R17, como sendo:

$$V_{R16} = I_{CQ8} \cdot R16$$

$$V_{R17} = I_{CQ9} \cdot R17$$

A partir disso, pela LTK, sabe-se que as tensões entre o coletor e emissor dos transistores Q8 e Q9 são:

$$V_{ECQ8} = V1 - V_{R15} - V_{R16}$$

$$V_{CEQ9} = V2 - V_{R17} - V_{R18}$$

Considerando,

$$V1 = V2$$

$$R16 = R17$$

$$R15 = R18$$

Pode-se dizer:

$$V_{R15} = V_{R18}$$

$$I_{CQ8} = I_{CQ9}$$

$$V_{R16} = V_{R17}$$

$$V_{ECQ8} = V_{CEQ9}$$

4.2. Análise CA do estágio de ganho

A Figura 16 mostra o equivalente CA do estágio de ganho. Observe que o circuito é dividido em duas partes: a equivalente ao transistor Q8 e a equivalente ao transistor Q9. Além disso, note que os transistores Q8 e Q9 operam na configuração emissor-comum, pois a saída deste estágio se localiza no coletor dos transistores.

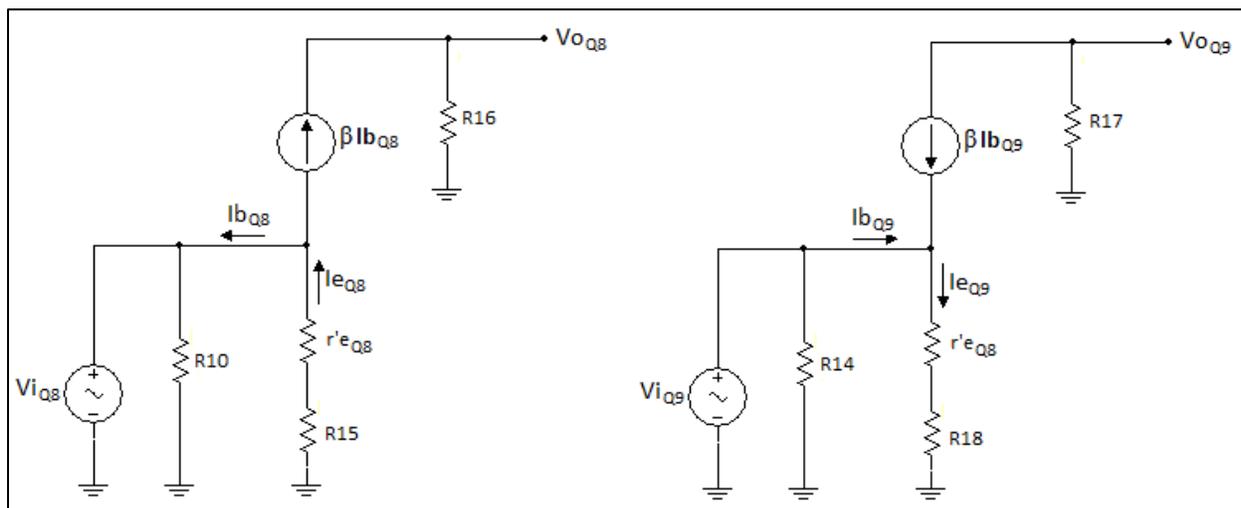


Figura 16 - Equivalente CA do estágio de ganho. À esquerda o equivalente ao transistor Q8. À direita o equivalente ao transistor Q9.

A partir da Figura 16, é possível dizer que:

$$V_i = i_{e_{Q8}}(r'e_{Q8} + R15)$$

Sabendo que:

$$i_e = i_b + i_c$$

$$i_e = \frac{i_c}{\beta} + i_c$$

Considerando $\beta \gg 1$, pode-se dizer que:

$$i_e = i_c$$

Desta forma, tem-se:

$$\begin{aligned} V_i &= i_{c_{Q8}}(r'e_{Q8} + R15) \Leftrightarrow \\ \Leftrightarrow V_i &= i_{b_{Q8}} \cdot \beta (r'e_{Q8} + R15) \end{aligned}$$

A partir da Figura 16, também é possível dizer que:

$$V_o = -\beta \cdot i_{b_{Q8}} \cdot R16$$

Assim, tem-se que:

$$A_v = \frac{V_o}{V_i} = \frac{-\beta \cdot i_{b_{Q8}} \cdot R16}{i_{b_{Q8}} \cdot \beta (r'_{e_{Q8}} + R15)} = \frac{-R16}{(r'_{e_{Q8}} + R15)}$$

Sabendo que:

$$r'_{e_{Q8}} \ll R15$$

Pode-se dizer:

$$A_v = \frac{-R16}{R15}$$

Da mesma forma, pode-se dizer que o ganho de tensão do equivalente CA ao transistor Q9 é dado por:

$$A_v = \frac{-R17}{R18}$$

5. MULTIPLICADOR DE V_{BE}

O estágio Multiplicador de V_{BE} é localizado logo após o estágio de ganho, de acordo com a Figura 17. Ele é utilizado para garantir uma tensão de polarização nos transistores do estágio de saída e, assim, prevenir a distorção de *crossover*. Multiplicador de V_{BE} é formado pelos resistores R19 e R20, pelo potenciômetro R21 e pelo transistor Q13.

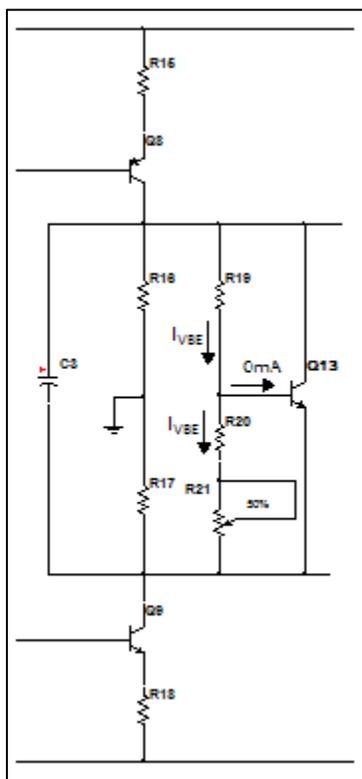


Figura 17 - Parte do circuito amplificador que mostra o estágio de ganho e o estágio multiplicador de V_{BE} .

Como mostra a Figura 17, o estágio multiplicador de V_{BE} é ligado nos coletores do estágio de ganho e drena parte da corrente I_C deste estágio.

Assim, como o nome diz, este estágio tem a função de multiplicar a tensão V_{BE} do transistor Q13. Isso é feito da seguinte forma: o diodo Base-Emissor do transistor Q13 está em paralelo com o resistor R20 e o potenciômetro R21. Isto gera uma tensão fixa de aproximadamente 0,7V sobre esses resistores. Essa tensão e o valor da resistência de R20 e R21 estabelece uma fonte de corrente no valor de I_{VBE} . Assim, se a resistência do potenciômetro R21 aumentar, a corrente I_{VBE} diminui e vice-versa.

Como a corrente I_B de Q13 é muito pequena em relação à I_{VBE} , pode-se considerar que a corrente que passa em R20 e R21 é igual à corrente que passa em R19.

Desta forma, a tensão sobre R19, depende da corrente I_{VBE} . Assim, através do valor do potenciômetro R21 é possível controlar o valor da tensão sobre R19 e, conseqüentemente da tensão V_{CE} do transistor Q13. As equações abaixo descrevem esse estágio.

$$I_{VBE} = \frac{V_{BEQ13}}{(R20 + R21)}$$

$$V_{R19} = I_{VBE} \cdot R19$$

Sabe-se que:

$$V_{CEQ13} = V_{R19} + V_{BEQ13}$$

Substituindo as equações:

$$V_{CEQ13} = I_{VBE} \cdot R19 + V_{BEQ13}$$

$$V_{CEQ13} = \frac{V_{BEQ13}}{(R20 + R21)} \cdot R19 + V_{BEQ13}$$

$$V_{CEQ13} = \left(\frac{R19}{R20 + R21} + 1 \right) V_{BEQ13}$$

Assim,

$$V_{CEQ13} = \left(\frac{R19 + R20 + R21}{R20 + R21} \right) V_{BEQ13}$$

Desta forma, tem-se que o valor da tensão entre o coletor e o emissor do transistor Q13 é múltiplo da tensão entre a base e o emissor deste transistor.

Como a tensão V_{CE} do transistor Q13 é fixa, a tensão entre os coletores do estágio de ganho também é fixa. Essa tensão cairá sobre os resistores R16 e R17, ou seja:

$$V_{CEQ13} = V_{R16} + V_{R17}$$

A tensão V_{CEQ13} é importante, pois ela atribui uma tensão fixa nas bases dos transistores do estágio *push-pull* de saída e estabelece o ponto quiescente dos transistores desse estágio.

6. ESTÁGIO *PUSH-PULL* DE SAÍDA

Até agora, todos os estágios do circuito amplificador, operam como amplificadores classe A. Isso significa que todos os transistores conduzem durante toda a excursão do sinal de entrada, isto é, o sinal de saída dos transistores varia por um ciclo completo de 360° . A Figura 18 mostra que para isso é necessário que o ponto quiescente Q do transistor seja polarizado em um nível de tensão que permita que o sinal varie para cima e para baixo sem saturar, atingindo uma tensão alta ou baixa o bastante para ser restringida pelo valor superior ou inferior da fonte de alimentação do circuito.

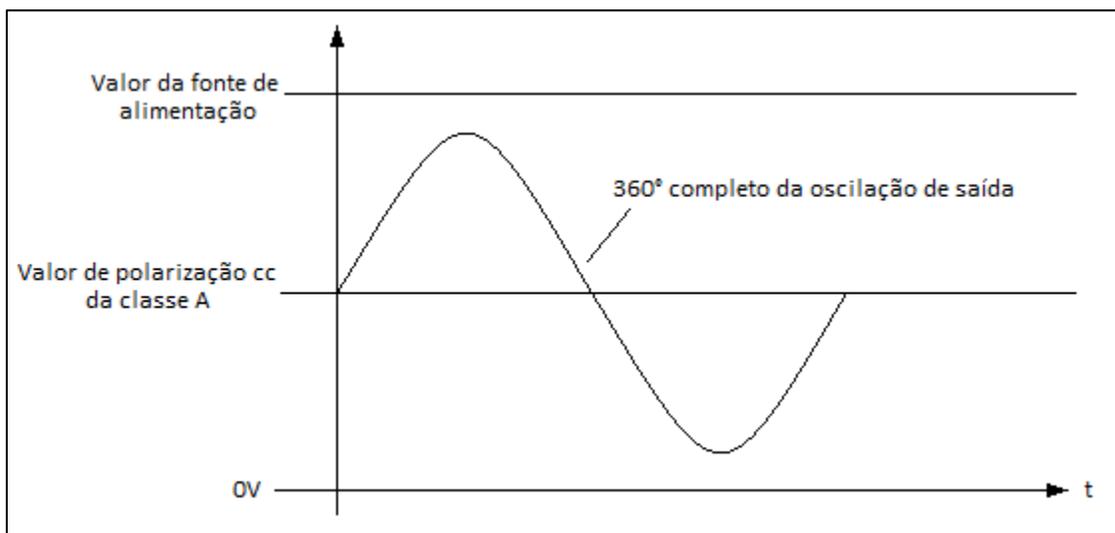


Figura 18 - Operação dos transistores em classe A.

Existem outras classes de operação dos amplificadores, entre elas, a classe B e a classe AB, a qual é a classe de operação do estágio *push-pull* de saída do circuito. Um circuito classe B fornece um sinal de saída que varia sobre metade do ciclo da entrada, ou por 180° de sinal, como mostra a Figura 19. Portanto, o ponto de polarização CC está em 0V, e a saída varia, então, a partir desse ponto, durante meio ciclo.

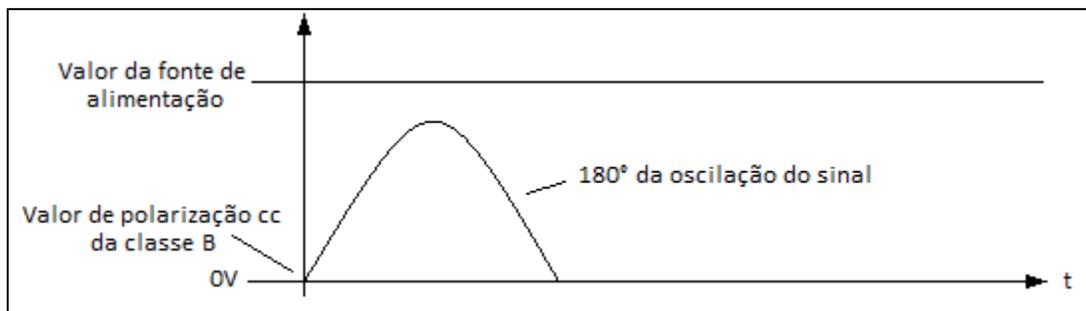


Figura 19 - Operação em classe B.

Obviamente, a saída não é a reprodução fiel da entrada se apenas meio ciclo está presente. São necessários dois amplificadores classe B, sendo um para fornecer a saída durante o semiciclo positivo e outro para operar no semiciclo de saída negativo. A combinação desses dois amplificadores classe B é chamada de circuito *push-pull*, e fornece uma saída para os 360° completos de operação. Observe que a operação classe B, por si só, gera um sinal de saída muito distorcido. Isso porque, o ponto quiescente Q está localizado em 0V. Assim, o sinal de entrada tem que superar os 0,7V de V_{BE} para que o transistor comece a conduzir. Desta forma, o sinal de saída sofre a ação de ceifamento entre os semiciclos. Isso é chamado de distorção de cruzamento ou *crossover*. A saída do amplificador classe B é mostrada na Figura 20.

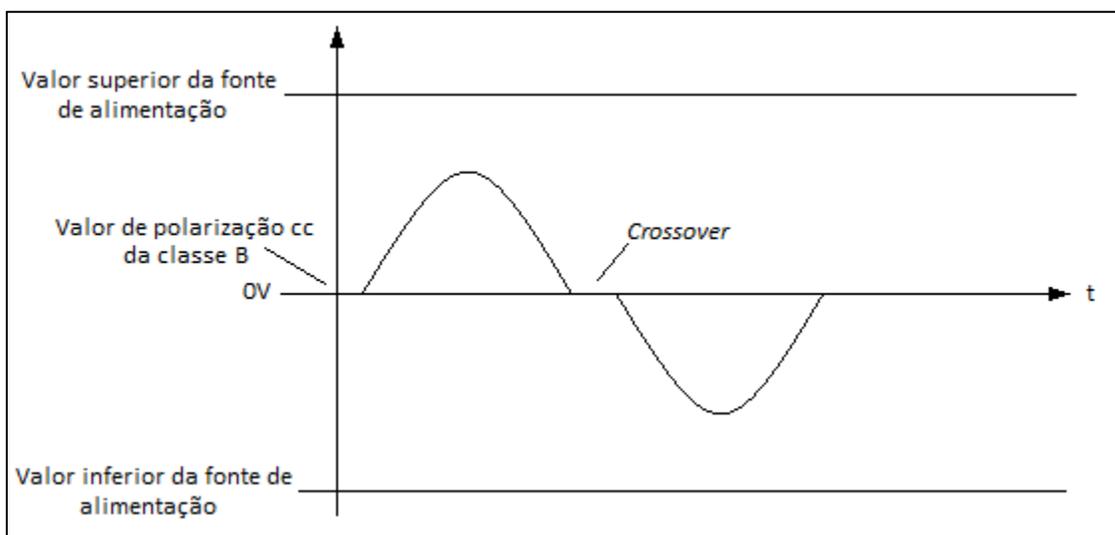


Figura 20 - Sinal de saída de um amplificador classe B.

Para solucionar este problema de distorção é preciso que o transistor tenha uma polarização CC que garanta a condução do transistor. Assim, o sinal de entrada não precisa superar a tensão V_{BE} para que o transistor conduza. Essa condição de polarização é empregada em amplificadores classe AB. A operação classe AB requer ainda uma conexão *push-pull* para atingir um ciclo completo de saída. A oscilação do sinal de saída ocorre entre 180° e 360°, o que a caracteriza como uma operação intermediária entre as classes A e B.

A Tabela 1 compara a eficiência dessas três classes de operação. Observe que o amplificador classe B é o mais eficiente, pois é o que conduz durante menos tempo, ou seja, durante 180°. Porém, esta classe de operação apresenta a distorção *crossover*, e por isso é utilizado a operação classe AB para o estágio de saída do circuito amplificador deste projeto.

Esta classe de operação é mais eficiente que a classe A e não apresenta distorções como na classe B.

Tabela 1 - Comparação entre a eficiência das três classes de operação.

Classe	A	AB	B
Ciclo de operação	360°	180° a 360°	180°
Eficiência de potência	25% a 50%	Entre 25% (50%) e 78,5%	78,5%

6.1. Polarização do estágio *push-pull* de saída

A polarização do estágio de saída é basicamente efetuada pelo estágio Multiplicador de V_{BE} . A Figura 21 mostra a parte do circuito do amplificador deste projeto referente aos estágios de saída.

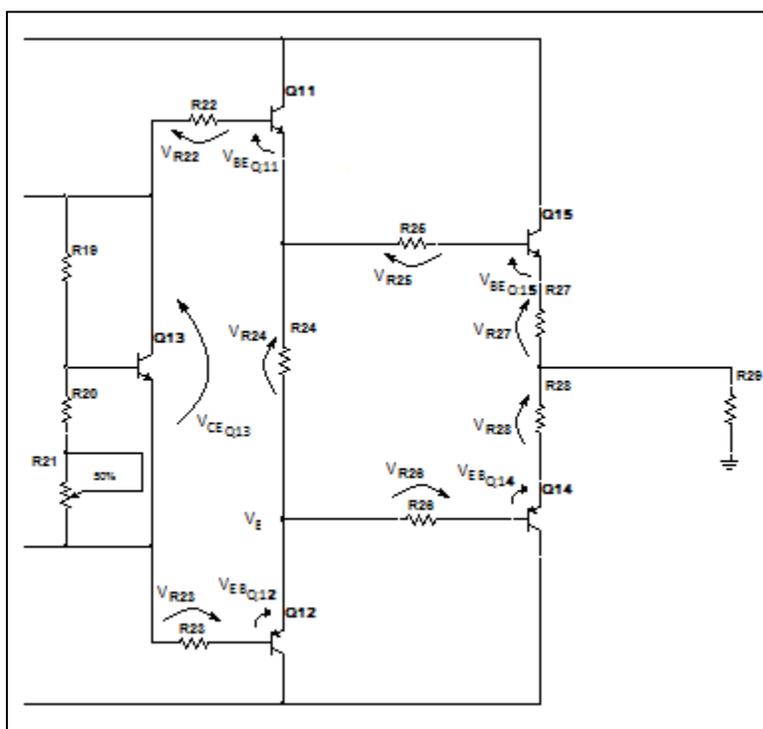


Figura 21 - Parte do circuito amplificador que mostra os últimos estágios.

Como mostra a Figura 21, existe uma malha de tensão formada por V_{CEQ13} , V_{R22} , V_{BEQ11} , V_{R4} , V_{EBQ12} e V_{R23} . Observe que através desta malha, a tensão V_{CEQ13} , gerada no estágio multiplicador de V_{BE} , estabelece uma tensão em V_{BEQ15} e V_{BEQ14} e conseqüentemente, polariza este estágio *push-pull* em um nível de tensão acima de 0,7V, fazendo-o operar em classe AB.

Da mesma forma, a tensão V_{R4} estabelece através de outra malha, as tensões V_{BEQ11} e V_{BEQ12} e conseqüentemente, polariza este estágio *push-pull* em um nível de tensão acima de 0,7V, fazendo-o operar em classe AB também operar em classe AB e evitando a distorção de cruzamento, ou o chamado *crossover*.

6.2. Linha de carga CC

A Figura 22 mostra a linha de carga CC do estágio *push-pull*.

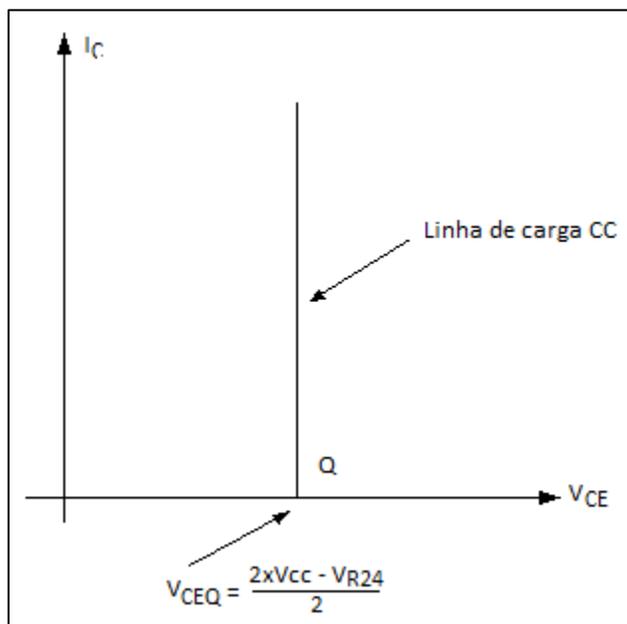


Figura 22 - Linha de carga CC do circuito *push-pull*.

De acordo com Malvino (1987, p. 320), “como não há resistência CC nos coletores dos transistores do estágio *push-pull*, a corrente CC de saturação é infinita. Isto quer dizer que a linha de carga CC é vertical,” como mostra a Figura 22. Ainda segundo Malvino (1987, p. 320), “esta é uma situação perigosa, pois é difícil posicionar o ponto quiescente Q de forma estável na região de corte da reta de carga. Qualquer diminuição em V_{BE} dos transistores de saída devido ao aumento de temperatura pode deslocar o ponto Q para cima na linha de carga CC em direção a correntes perigosamente altas”.

Uma forma de controlar isso é posicionar o transistor do estágio Multiplicador de V_{BE} próximo aos transistores do estágio de saída. Isso faz com que os transistores de saída e o transistor do Multiplicador de V_{BE} tenham a aproximadamente a mesma temperatura.

Quando a temperatura aumenta sobre os transistores de saída, a curva da corrente I_E em função da tensão V_{BE} do diodo Base-Emissor tende a ir para esquerda, causando o aumento da corrente I_E .

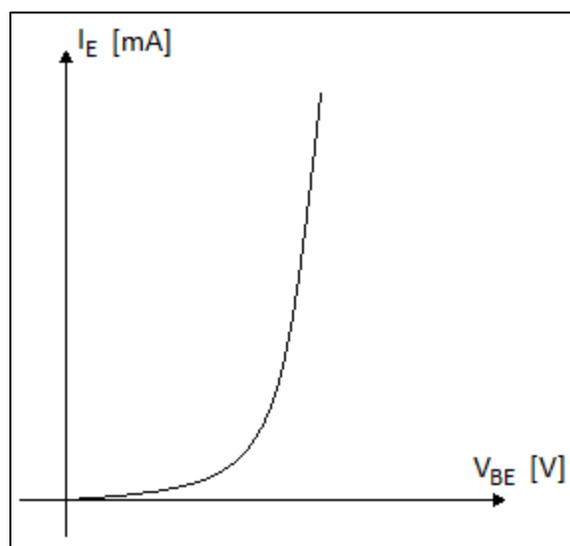


Figura 23 - Curva I_E em função de V_{BE} do diodo Base-Emissor de transistores bipolares.

O transistor do multiplicador de V_{BE} também terá sua temperatura aumentada. Assim, a sua curva da corrente I_E em função da tensão V_{BE} do diodo Base-Emissor também será trazida para a esquerda. Entretanto, ao invés da corrente aumentar, é a tensão V_{BE} que diminui. Isso porque a corrente do transistor multiplicador de V_{BE} é fixa, devido à polarização do estágio de ganho.

Com isto, a tensão V_{CE} do multiplicador diminui, ocasionando a diminuição da tensão entre as bases do estágio de saída. Essa diminuição faz a corrente deste estágio também diminuir.

6.3. Análise CA do estágio *push-pull* de saída

A Figura 24 mostra o equivalente CA do estágio de saída. Observe nesta figura que a saída de todos os transistores deste estágio é tomada no emissor. Isso caracteriza a configuração coletor-comum, também chamada de seguidor de emissor.

Como é visto na Figura 24, neste estágio, assim como a configuração coletor-comum do estágio de *buffer*, a relação entre a tensão de entrada e a tensão de saída é um divisor de tensão. É possível dizer que:

$$i_{R29} = \beta_{Q15} i_{bQ15}$$

$$i_{bQ15} = \beta_{Q11} i_{bQ11}$$

Desta forma, pode-se dizer que:

$$V_{in} = i_{bQ11} \cdot R22 + \beta_{Q11} \cdot i_{bQ11} \cdot (r'e_{Q11} + R25) + \beta_{Q15} \cdot \beta_{Q11} \cdot i_{bQ11} (r'e_{Q11} + R27 + R29)$$

$$V_{in} = i_{bQ11} \{ R22 + \beta_{Q11} [r'e_{Q11} + R25 + \beta_{Q15} (r'e_{Q11} + R27 + R29)] \}$$

$$V_{out} = \beta_{Q15} \cdot \beta_{Q11} \cdot i_{bQ11} \cdot R29$$

Desto forma, tem-se que:

$$A_v = \frac{V_{out}}{V_{in}}$$

$$A_v = \frac{\beta_{Q15} \cdot \beta_{Q11} \cdot i_{bQ11} \cdot R29}{i_{bQ11} \{ R22 + \beta_{Q11} [r'e_{Q11} + R25 + \beta_{Q15} (r'e_{Q11} + R27 + R29)] \}}$$

$$A_v = \frac{\beta_{Q15} \cdot \beta_{Q11} \cdot R29}{R22 + \beta_{Q11} [r'e_{Q11} + R25 + \beta_{Q15} (r'e_{Q11} + R27 + R29)]}$$

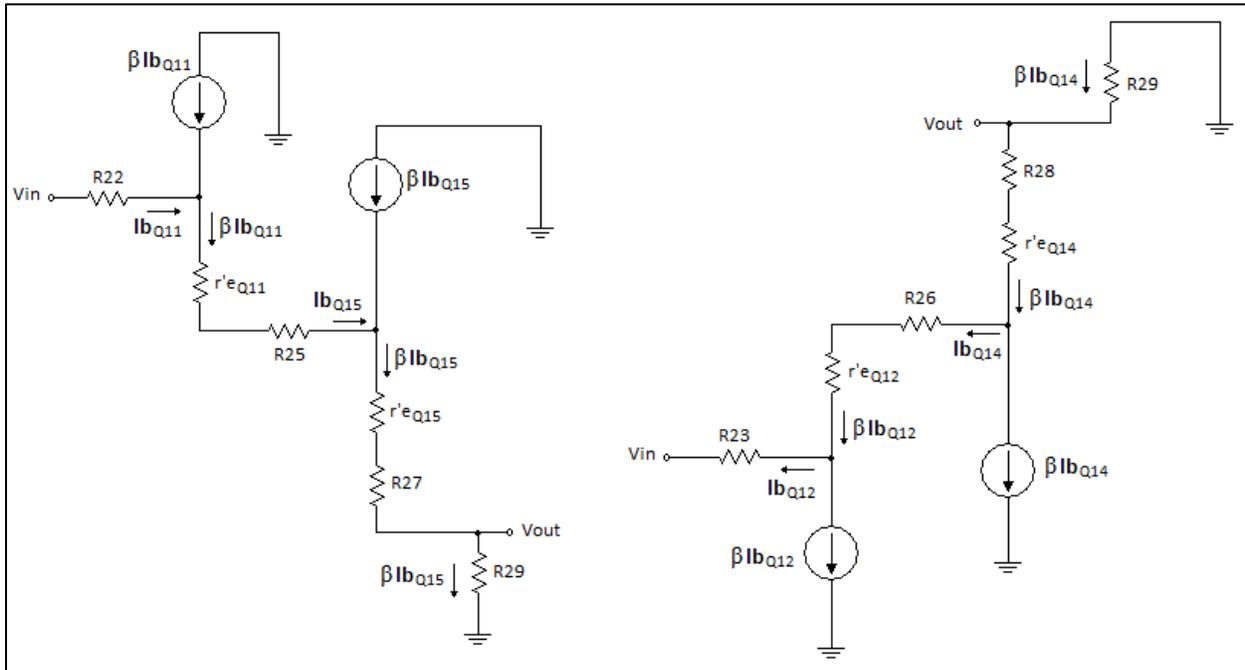


Figura 24 - Equivalente CA do estágio push-pull de saída. À esquerda o equivalente do circuito push-pull que conduz no semiciclo positivo do sinal de saída. À direita, o equivalente do circuito push-pull que conduz no semiciclo negativo do sinal.

7. REALIMENTAÇÃO NEGATIVA

A realimentação negativa é utilizada, pois concede ao circuito uma série de vantagens, são:

- Ganho de tensão mais estável;
- Impedância de entrada mais alta;
- Impedância de saída mais baixa;
- Resposta em frequência melhorada;
- Ruído reduzido;
- Operação mais linear;

7.1. Ganho

A Figura 25 mostra a realimentação negativa em diagrama de blocos.

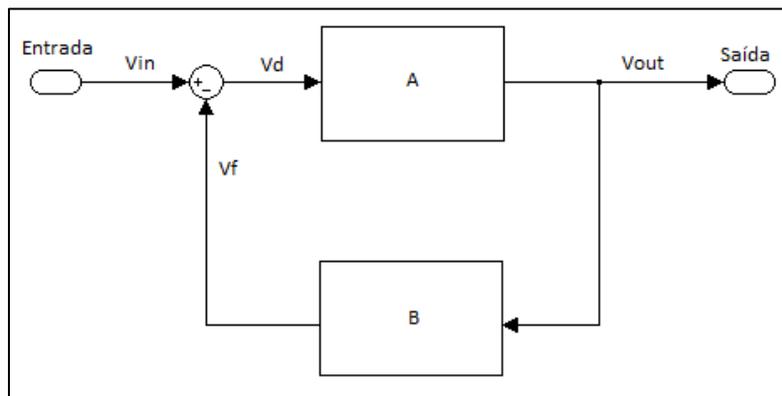


Figura 25 - Diagrama de blocos da realimentação negativa do circuito amplificador.

Observando o circuito, é possível dizer que:

$$V_d = V_{in} - V_f$$

$$V_d = \frac{V_{out}}{A}$$

$$V_f = BV_{out}$$

Substituindo, tem-se:

$$\frac{V_{out}}{A} = V_{in} - V_f$$

$$\frac{V_{out}}{A} = V_{in} - BV_{out}$$

Rearranjando a equação, tem-se:

$$\frac{V_{out}}{V_{in}} = \frac{A}{1 + BA}$$

Sendo que A é o ganho de tensão do circuito em malha aberta e B é o ganho da malha de realimentação.

Desta forma, é possível controlar o ganho do circuito através do ganho da malha de realimentação.

7.2. Impedância de entrada

Como diz Boylestad (2004, p.546), com a realimentação negativa, o circuito tem a sua impedância de entrada aumentada. A relação da impedância de entrada com a malha de realimentação é dada pela seguinte equação:

$$Z_{if} = Z_i \cdot (1 + BA)$$

Sendo que Z_{if} é a impedância de entrada do circuito realimentado, Z_i é a impedância de entrada do circuito em malha aberta, B é o ganho da malha de realimentação e A é o ganho do circuito em malha aberta. Observe que a realimentação aumenta a impedância de entrada pelo fator (1+BA).

7.3. Impedância de saída

Ainda segundo Boylestad (2004, p.547), a relação da impedância de saída com a malha de realimentação é dada por:

$$Z_{of} = \frac{Z_o}{1 + BA}$$

Sendo que Z_{of} é a impedância de saída do circuito realimentado, Z_o é a impedância de saída do circuito em malha aberta, B é o ganho da malha de realimentação e A é o ganho do circuito em malha aberta. Observe que a realimentação diminui a impedância de saída pelo fator de (1+BA).

7.4. Resposta em frequência

A Figura 26 mostra o efeito da realimentação na resposta em frequência do circuito. Observe, na Figura 26, que a realimentação negativa causa a diminuição do ganho e o aumento da banda passante. Como diz Boylestad (2004, p. 548), o produto de ganho e da frequência se

mantem, de maneira que o produto ganho-largura de banda do amplificador básico tem o mesmo valor para amplificador realimentado.

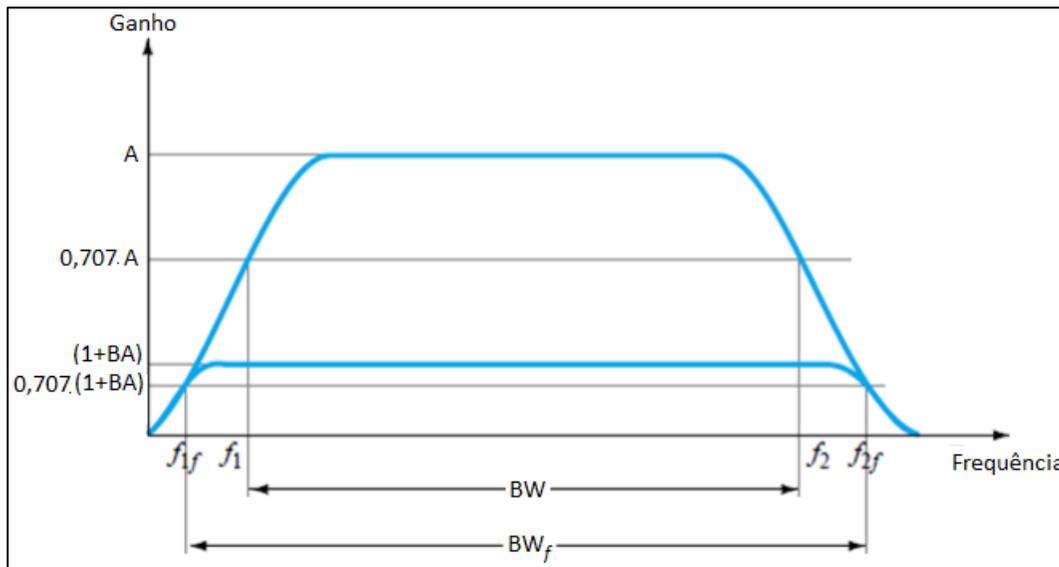


Figura 26 - Efeito da realimentação na resposta em frequência do circuito. (BOYLESTAD, 2004, p.548)

7.5. Margem de ganho e margem de fase

Em qualquer circuito real, a realimentação negativa só ocorre na faixa central de frequências de operação. De acordo com Boylestad (2004, p.553) o ganho do amplificador varia com a frequência, caindo nas altas frequências. Além disso, o deslocamento da fase de um amplificador também depende da frequência.

Se à medida que a frequência varia, o deslocamento de fase também varia, é possível que parte do sinal realimentado seja somada ao sinal de entrada. Portanto, é possível que o amplificador passe a oscilar. Para evitar que isto ocorra, de acordo com o critério de Nyquist, a margem de ganho deve ser negativa e a margem de fase deve ser positiva. Sendo que a margem de ganho é definida como sendo a diferença entre o ganho e o nível de 0dB no momento em que a fase atinge -180° . Já a margem de fase é definida como sendo a diferença entre a fase apresentada e o nível de -180° no momento em que o ganho atinge 0dB. A Figura 27 mostra como é determinada a margem de ganho e de fase.

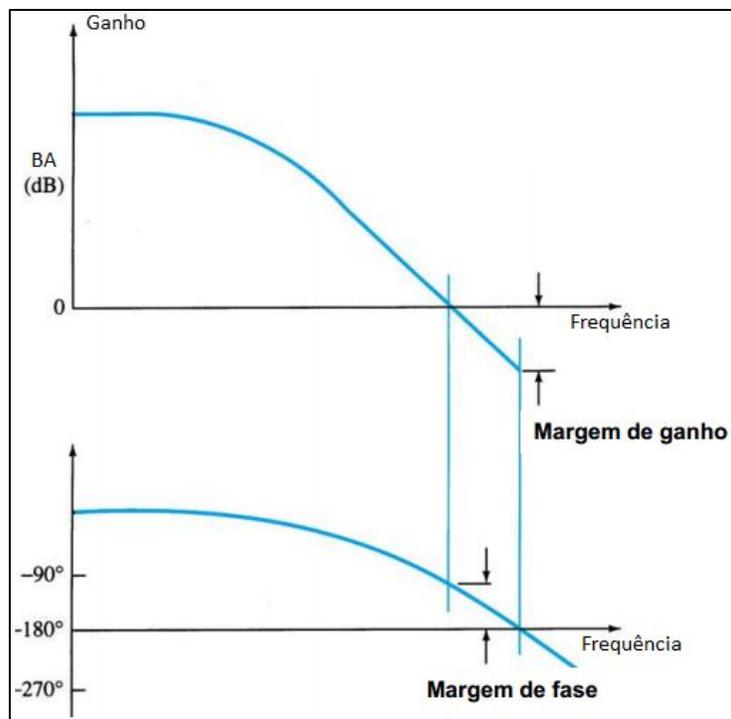


Figura 27 - Determinação da margem de ganho e margem de fase. (BOYLESTAD, 2004, p.554)

8. SIMULAÇÕES

Os valores dos resistores e capacitores do circuito foram determinados por meio de simulações dos estágios do circuito. Os transistores foram pré-selecionados também a partir das topologias de circuitos de fabricantes de amplificadores já consagrados, como *Marantz®*. e *McIntosh®*. Além disso, foi levado em consideração os transistores disponíveis nas lojas que se tem acesso e que comercializam esse tipo de componente. As simulações foram realizadas no software NI Multisim®.

Porém, antes de realizar as simulações foram determinadas as tensões de alimentação, V1 e V2. Realizou-se um ensaio com o transformador a ser utilizado no projeto. Verificou-se que este transformador pode ser ligado a 127Vrms e 220Vrms, dependendo da forma de ligar as bobinas do enrolamento primário. A Figura 28 mostra as tensões do transformador. Observe que para a tensão de 127Vrms na entrada, as bobinas 1 e 2 devem ser ligadas em paralelo. Já, para a tensão de entrada de 220Vrms, as bobinas 1 e 2 devem ser ligadas em série.

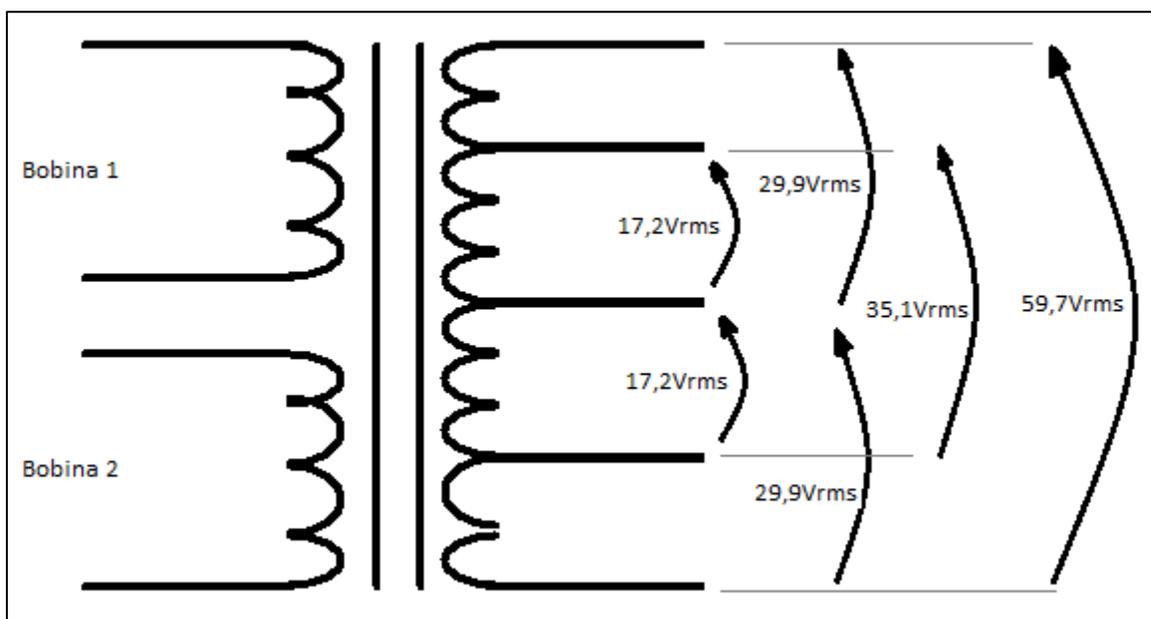


Figura 28 - Tensões do transformador.

No ensaio, também foi verificada a resistência interna do trafo, a qual possui o valor de $0,255\Omega$ entre os terminais de menor tensão ($35,1Vrms$) e $0,429\Omega$ entre os terminais de maior tensão ($59,7Vrms$).

8.1. Amplificador diferencial

A simulação do amplificador diferencial foi efetuada de acordo com a Figura 29.

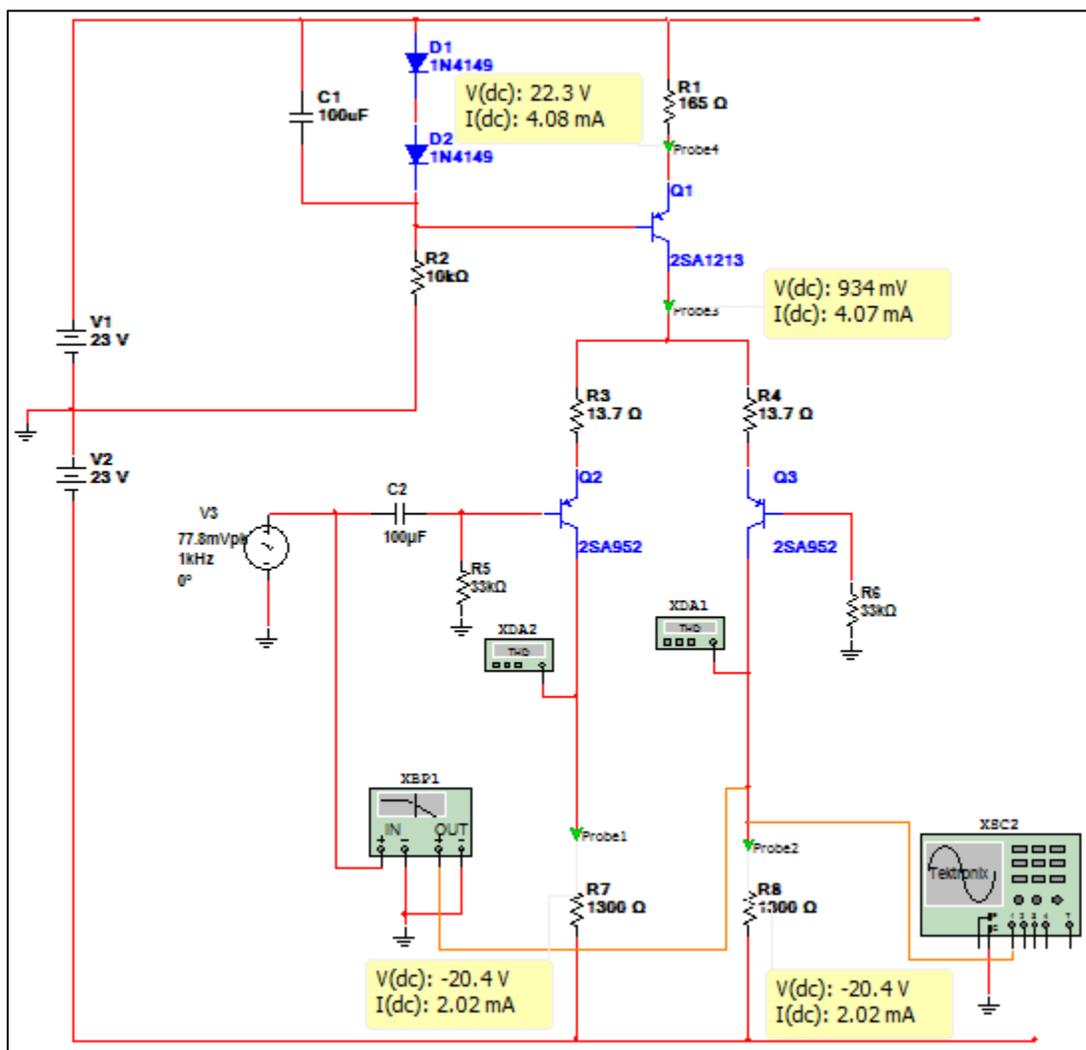


Figura 29 - Imagem da simulação do estágio amplificador diferencial.

Observe na Figura 29, que as tensões V1 e V2 são iguais as que serão obtidas depois de retificadas as tensões do trafo.

Nesta simulação, variou-se o valor de alguns resistores, são eles:

- Resistor R1, que estabelece o valor da corrente do estágio;
- Resistores R3 e R4, que são os resistores de emissor;
- Resistores R7 e R8, que os resistores de coletor;

Foi verificada a interferência desses resistores no valor do ganho, na resposta em frequência e na distorção na saída deste estágio. Além disso, foi conferida a tensão sobre os resistores de coletor, à qual esta vinculada as tensões dos próximos estágios.

8.1.1. Estudo da influência do valor do resistor de coletor no desempenho do estágio

Primeiro, variou-se o valor dos resistores R7 e R8 e verificou-se a saída do estágio. Todos os outros resistores foram mantidos constantes. Foram analisados o ganho, a resposta em frequência e a distorção na saída do estágio. A Tabela 2 mostra os dados coletados.

Parâmetros fixos:

$R1 = 150\Omega$;

$I_{R1} = 4,46\text{mA}$;

$R2 = R3 = 15\Omega$;

Frequência de entrada = 1kHz;

Tensão de pico a pico na saída = 1Vp;

Tabela 2 - Dados obtidos com a variação de R7 e R8.

Valores ajustados		Valores medidos				
R7=R8 [Ω]	V_i [mVp]	Ganho [dB]	Freq. De Corte [kHz]	Distorção [%] saída Q2	Distorção [%] saída Q3	V_{RC} [V]
330	307	4,485	267	0,792	0,793	0,7
470	213	7,522	181,3	0,322	0,323	1
560	179	9,021	151,3	0,214	0,215	1,2
620	161,5	9,89	137,567	0,168	0,168	1,4
680	147,5	10,677	125,393	0,135	0,135	1,5
750	134	11,51	113,521	0,107	0,107	1,7
820	122,5	12,267	105,361	0,086	0,086	1,8
910	110,5	13,149	94,3	0,07	0,07	2
1000	100,7	13,945	86,4	0,061	0,061	2,2
1200	84,5	15,478	72,851	0,059	0,06	2,7
1500	68	17,338	58,8	0,071	0,072	3,3
1800	57,3	18,844	49,331	0,084	0,085	4
2200	47,5	20,482	41	0,098	0,099	4,9
2700	39,3	22,134	33,4	0,108	0,11	6
3000	35,7	22,962	30,674	0,116	0,1175	6,7
3300	32,7	23,708	27,83	0,121	0,122	7,3

Observe que a distorção do sinal foi medida por um equipamento do simulador que mede a distorção harmônica total, também conhecida como THD.

De acordo com Boylestad (2004, p. 513), é considerado que um sinal possui distorção harmônica, quando há componentes harmônicos de frequência no sinal. A distorção harmônica de cada harmônica pode ser definida com:

$$\% n - \text{ésima distorção harmônica} = \%D_n = \frac{|A_n|}{|A_1|} \times 100\%$$

Sendo, A_1 a amplitude da frequência fundamental, ou primeiro harmônico, e A_n a amplitude da enésima harmônica.

Ainda segundo Boylestad (2004, p. 513), a distorção harmônica total, então pode ser determinada pela seguinte equação:

$$\%THD = \sqrt{D_2^2 + D_3^2 + D_4^2 + \dots + D_n^2} \times 100\%$$

Sendo, THD a distorção harmônica total.

A Figura 30 mostra os dados da simulação na forma de gráficos.

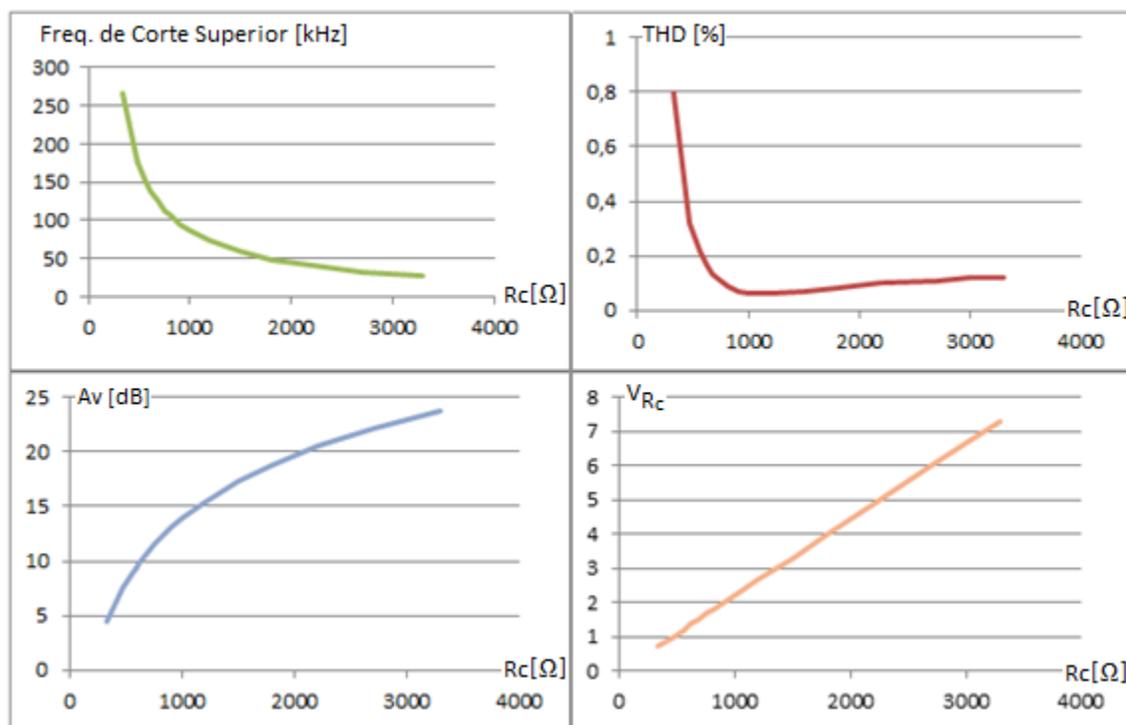


Figura 30 - Gráficos da Freq. de Corte [kHz], Distorção [%], Ganho [dB] e Tensão no R_c [V] em função da resistência de R_7 e R_8 . Em verde, o gráfico da frequência de corte. Em vinho, o gráfico da distorção. Em azul, o gráfico do ganho. Em laranja, o gráfico da tensão sobre R_7 e R_8 .

A Figura 30 mostra que quanto maior o valor R_7 e R_8 , maior o ganho e menor a resposta em frequência. Isso pode ser atribuído à capacitância de Miller que interfere diretamente na resposta em frequência.

De acordo com Boylestad (2004, p. 407), a capacitância Miller está presente entre os terminais de entrada e saída de transistores amplificadores inversores (deslocamento de fase de 180° entre a entrada e saída), como mostra a Figura 33.

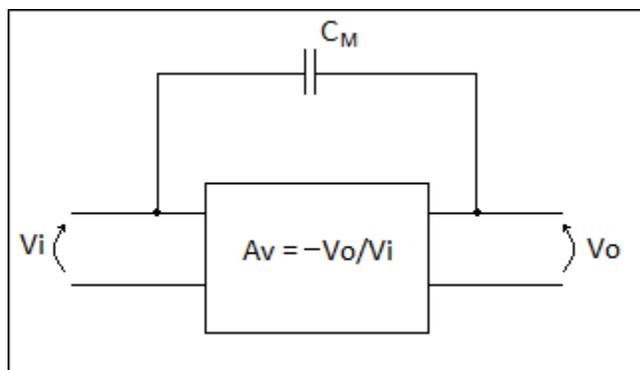


Figura 31 - Capacitância de Miller.

A capacitância Miller pode ser referida a entrada e a saída. Segundo Boylestad (2004, p. 407), a capacitância Miller de entrada pode ser definida como:

$$C_{Mi} = (1 - A_v)C_M$$

Sendo A_v o ganho de tensão do amplificador e C_M a capacitância entre os terminais de entrada e saída do amplificador. Esta capacitância C_M é encontrada na folha de dados do transistor.

A capacitância Miller de saída pode ser definida como:

$$C_{Mo} = \left(1 - \frac{1}{A_v}\right)C_M$$

Ainda segundo Boylestad (2004, p. 407), para determinar a frequência de corte superior, calcula-se o circuito equivalente de Thévenin da entrada e saída do amplificador. A frequência de corte será calculada por meio dos dois circuitos equivalentes da seguinte forma:

$$f_{Hi} = \frac{1}{2\pi R_{THi} C_i}$$

Onde R_{THi} é a resistência resultante do circuito equivalente de Thévenin da saída e C_i é a capacitância do circuito equivalente de Thévenin da saída.

$$f_{Ho} = \frac{1}{2\pi R_{THo} C_o}$$

Onde R_{THo} é a resistência resultante do circuito equivalente de Thévenin da saída e C_o é a capacitância do circuito equivalente de Thévenin da saída.

A menor entre as duas frequências prevalece sobre a outra.

A Figura 30 também mostra que a distorção tem o seu valor mínimo quando R7 e R8 são próximos de $1k\Omega$. Antes disso, ela é muito alta e depois aumenta gradativamente. Esse aumento é explicado pelo aumento que também ocorre no ganho. Com o aumento do ganho, a excursão do sinal na curva de I_c em função de V_{BE} do diodo base-emissor é maior. Sabe-se que essa curva não é linear, por isso o sinal tem a sua distorção aumentada com o aumento do ganho.

8.1.2. Estudo da influência do valor da fonte de corrente em R1 no desempenho do estágio

A variação da fonte de corrente em R1 é realizada por meio da variação do valor de R1. Todos os outros resistores foram mantidos constantes. A Tabela 3 mostra os dados obtidos da simulação.

Parâmetros fixos:

$$R2 = R3 = 15\Omega;$$

$$R7 = R8 = 820\Omega$$

Frequência de entrada = 1kHz;

Tensão de pico a pica na saída = 1Vp;

Tabela 3 - Dados obtidos com a variação de R1.

Valores ajustados		Valores medidos					
R1 [Ω]	V_i [mVp]	I_{R1} [mA]	Ganho [dB]	Freq. De Corte [kHz]	Distorção [%] saída Q2	Distorção [%] saída Q3	V_{RC} [V]
22	120,5	28,1	12,393	103,474	0,153	0,153	11,4
47	115	13,6	12,779	102,22	0,113	0,115	5,5
68	115,4	9,55	12,748	102,5	0,087	0,089	3,9
100	118	6,6	12,585	103,474	0,057	0,057	2,7
150	122,5	4,46	12,267	105,361	0,086	0,086	1,8
220	130	3,09	11,813	106,029	0,266	0,267	1,3
330	144	2,09	11,14	108,8	0,886	0,887	0,9
470	171	1,49	10,363	112,418	3,184	3,185	0,6

A Figura 31 mostra os dados da simulação na forma de gráficos.

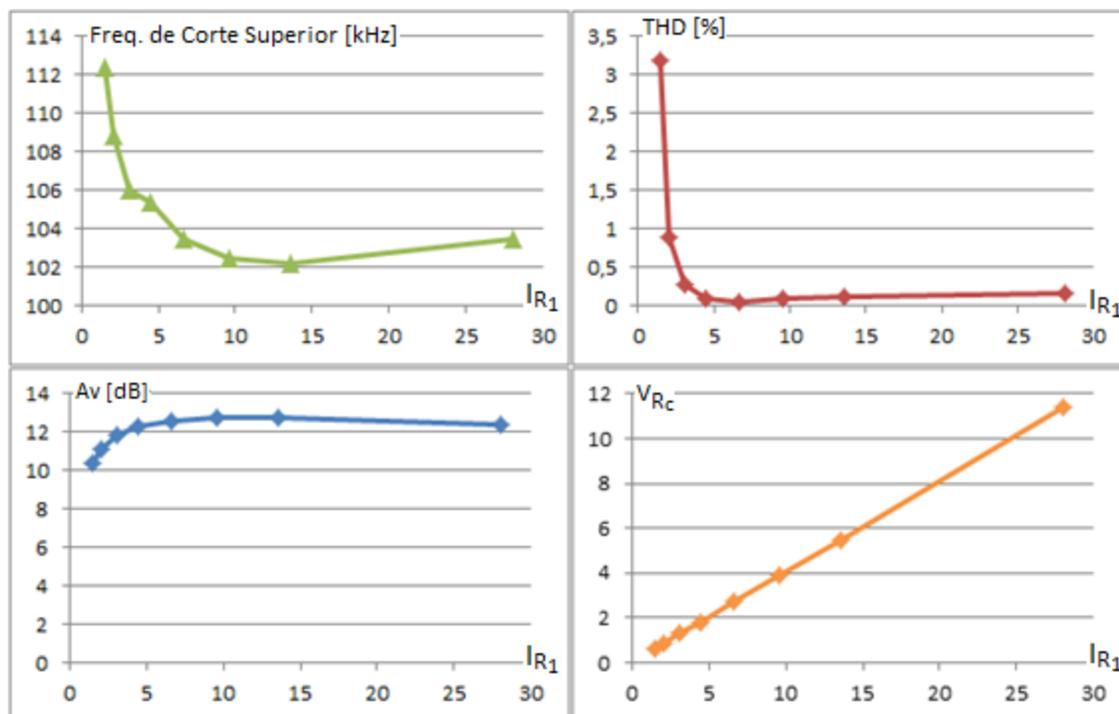


Figura 32 - Gráficos da Freq. de Corte [kHz], Distorção [%], Ganho [dB] e Tensão no R_c [V] em função da corrente da fonte de corrente I_{R1} (mA). Em verde, o gráfico da frequência de corte. Em vinho, o gráfico da distorção. Em azul, o gráfico do ganho. Em laranja, o gráfico da tensão sobre $R7$ e $R8$.

8.1.3. Estudo da influência do valor da corrente no desempenho do estágio

Variou-se o valor dos resistores $R3$ e $R4$ e verificou-se a saída do estágio. Todos os outros resistores foram mantidos constantes. A Tabela 4 mostra os dados coletados.

Parâmetros fixos:

$$R1 = 150\Omega;$$

$$I_{R1} = 4,46\text{mA};$$

$$R7 = R8 = 820\Omega$$

Frequência de entrada = 1kHz;

Tensão de pico a pico na saída = 1Vp;

Observe que quanto maior o valor de $R3$ e $R4$, menor é o valor do ganho. Isso é devido ao a interferência desses resistores no valor do ganho. Essa relação foi determinada no capítulo 1 deste trabalho.

Com o aumento de $R3$ e $R4$ e diminuição do ganho, a frequência de corte diminui. Isso se deve à capacitância de Miller que depende do ganho e influi diretamente na frequência de corte.

Voltando aos dados da Tabela 4, é possível dizer que a distorção diminui com o aumento de $R3$ e $R4$ e com a diminuição do ganho. Isso porque, com o ganho menor, diminui a excursão

do sinal de entrada pela curva $I_C \times V_{BE}$ do diodo Base-Emissor do transistor. Sabe-se que esta curva não é linear, por isso quanto menor a excursão do sinal sobre ela, menor será a distorção.

Tabela 4 - Dados obtidos com a variação de R3 e R4.

Valores ajustados		Valores medidos				
R3=R4 [Ω]	Vi [mVp]	Ganho [dB]	Freq. De Corte [kHz]	Distorção [%] saída Q2	Distorção [%] saída Q3	V _{RC} [V]
1	105,5	13,586	91,88	0,101	0,101	1,8
2,2	107	13,465	93	0,1	0,1	1,8
3,3	108	93,8	0,098	0,098	1,8	
5,6	111	13,131	95,876	0,095	0,096	1,8
10	116,5	12,716	100,042	0,091	0,091	1,8
15	122,5	12,267	105,361	0,086	0,086	1,8
22	131	11,676	110,929	0,081	0,081	1,8
47	162	9,842	132,3	0,066	0,066	1,8
100	227	6,898	177	0,047	0,047	1,8

A Figura 32 mostra os dados da simulação na forma de gráficos.

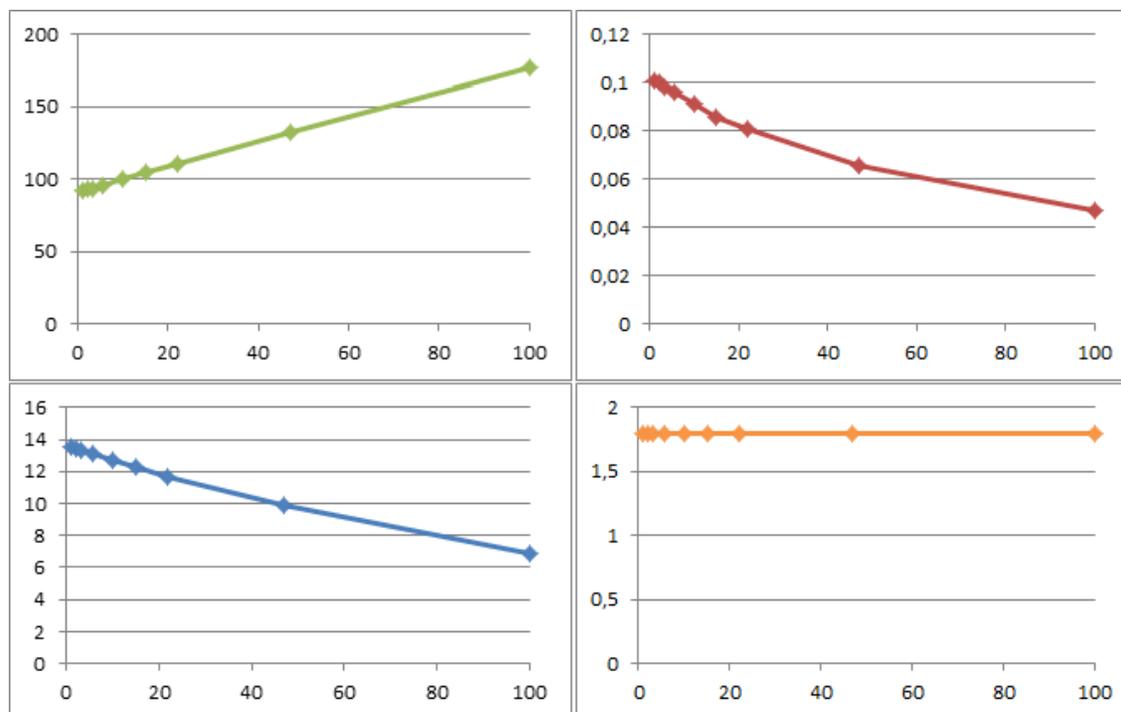


Figura 33 - Gráficos da Freq. de Corte [kHz], Distorção [%], Ganho [dB] e Tensão no Rc [V] em função da resistência de R3 e R4. Em verde, o gráfico da frequência de corte. Em vinho, o gráfico da distorção. Em azul, o gráfico do ganho. Em laranja, o gráfico da tensão sobre R7 e R8.

8.1.4. Definição dos valores

A partir deste estudo, foram simuladas algumas combinações de valores para os resistores. A combinação de valores que mostrou o melhor equilíbrio entre ganho, distorção e resposta em frequência foi a seguinte:

R1 [Ω]	R3=R4 [Ω]	R7=R8 [Ω]	Av [dB]	Distorção Q2 [%]	Distorção Q3 [%]	Freq. De Corte [kHz]	VRC [V]
165	13,7	1300	16,172	0,061	0,061	67	2,6

Esta combinação mostrou um ganho alto, uma distorção baixa e uma frequência de corte alta (bem acima de 20kHz).

8.2. *Buffer*

A determinação dos resistores do estágio de *buffer* levou em consideração a corrente que seria drenada pelo próximo estágio, a potência sobre os transistores e a distorção do sinal de saída.

8.2.1. Correntes drenadas pelos estágios

Para determinar qual seria a corrente máxima drenada pelo estágio de ganho, foi necessário efetuar o cálculo das máximas correntes drenadas pelos próximos estágios, inclusive pela carga.

Sabendo que a máxima corrente na carga é:

$$I_{RL} = \frac{V_1}{RL}$$

Sendo que V1 é igual 23V e RL igual a 4 Ω , a máxima corrente drenada pela carga será:

$$I_{RL} = \frac{23}{4} = 5,75A$$

Isso significa que a máxima corrente que passará pelos transistores Q14 e Q15 do último estágio é 5,75A. Desta forma, a máxima corrente de base desses transistores será dada pela divisão de 5,75A pelo β mínimo do transistor. Então, a corrente máxima drenada pelos transistores Q14 e Q15 será:

$$I_{B_{máxQ14}} = I_{B_{máxQ15}} = \frac{5,75}{\beta_{Q14mín}} = \frac{5,75}{35} = 164mA$$

Por sua vez, esta será a máxima corrente que passará pelos transistores Q11 e Q12. Da mesma forma, a máxima corrente que estes transistores drenarão do estágio de ganho é dada pela divisão de 164mA pelo β mínimo desses transistores. Como são complementares, eles possuem os mesmos valores de β . Desta forma, tem-se que:

$$I_{B_{\text{máx}Q11}} = I_{B_{\text{máx}Q12}} = \frac{0,164}{\beta_{Q11\text{mín}}} = \frac{0,164}{100} = 1,64\text{mA}$$

Da mesma forma, a corrente drenada pelo estágio de ganho é dada por 1,64mA dividido pelo β mínimo dos transistores Q8 e Q9. Assim a máxima corrente drenada do estágio de *buffer* é:

$$I_{B_{\text{máx}Q8}} = I_{B_{\text{máx}Q9}} = \frac{0,00164}{\beta_{Q8\text{mín}}} = \frac{0,00164}{80} = 20,5\mu\text{A}$$

A Figura 34 exibe um esquema que demonstra as correntes máximas drenadas pelos estágios.

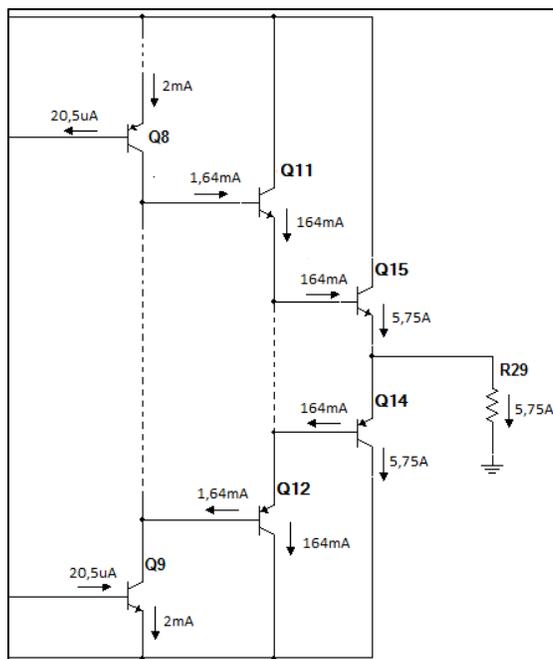


Figura 34 - Esquema mostrando a estimativa das máximas correntes nos estágios.

Observe, na Figura 34, que as correntes nos coletores dos transistores Q8 e Q9 são um pouco maiores que as correntes drenadas pelos estágios seguintes. Isso funciona como uma segurança de que o estágio é capaz de fornecer as correntes necessárias e continuar operando em classe A.

8.2.2. Estudo da influência do valor dos resistores de coletor no desempenho do estágio de *buffer*

A partir do cálculo das correntes máximas drenadas, sabe-se que a corrente do estágio de *buffer* deve ser maior que $25\mu\text{A}$ para ser capaz de fornecer corrente ao estágio de ganho.

Para verificar o efeito dos resistores na distorção do sinal de saída do *buffer*, foi realizada a simulação deste estágio, de acordo com a Figura 35.

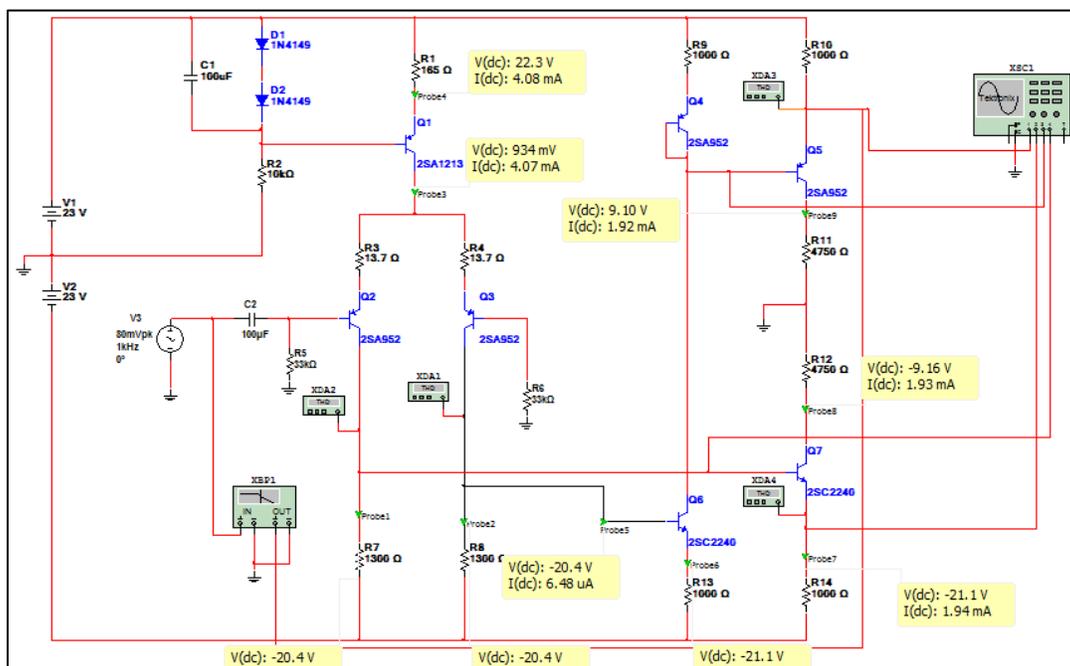


Figura 35 - Simulação do estágio de *buffer*.

A Tabela 5 mostra os dados obtidos variando-se os resistores de coletor, R11 e R12. Os outros resistores do estágio foram mantidos constantes.

Parâmetros fixos:

$$R9 = R10 = R13 = R14 = 560\Omega$$

Frequência de entrada = 1kHz;

Tensão de pico a pico na saída = 1Vpp;

Observe que a saída dos transistores Q5 e Q7 apresentam uma pequena diferença. Isso ocorre porque o seguidor de emissor formado por Q7 recebe o sinal diretamente do estágio amplificador do amplificador diferencial, enquanto que o transistor Q5 recebe o sinal da configuração emissor-comum formada pelo transistor Q6. A Tabela 5 mostra que o aumento do valor de R11 e R12, provoca uma pequena diminuição da distorção na saída. Isso é explicado da

seguinte forma: com o aumento de R11 e R12, a tensão V_{CE} de Q5 e Q7 diminui. Então, o ponto quiescente destes transistores é reposicionado em uma região mais linear, de forma que a distorção do sinal de saída diminui.

Tabela 5 - Dados obtidos com a variação de R11 e R12.

Valores ajustados		Valores medidos					
V_{in} [mVp]	R11 = R12 [Ω]	IR9 = IR10 [mA]	VR11 = VR12 [V]	VQ5out [Vpp]	VQ7out [Vpp]	DQ5 [%]	DQ7 [%]
80	4700	3,4	16	0,994	1,01	0,061	0,138
80	2200	3,4	7,5	0,996	1,01	0,066	0,141
80	1000	3,4	3,4	0,997	1,01	0,068	0,142
80	560	3,4	1,9	0,997	1,01	0,069	0,142

8.2.3. Estudo da influência do valor dos resistores de emissor no desempenho do estágio de *buffer*

Parâmetros fixos:

R11 = R12 = 1000 Ω

Frequência de entrada = 1kHz;

Tensão de pico a pico na saída = 1Vpp;

Tabela 6 - Dados obtidos com a variação de R9, R10, R13 e R14.

Valores ajustados		Valores medidos					
V_{in} [mVp]	R9 = R10 = R13 = R14 [Ω]	IR9 = IR10 [mA]	VR11 = VR12 [V]	VQ5out [Vpp]	VQ7out [Vpp]	DQ5 [%]	DQ7 [%]
80	560	3,4	3,4	0,997	1,01	0,068	0,142
80	680	2,8	2,8	0,999	1,01	0,068	0,142
80	1000	1,94	1,94	1	1,01	0,068	0,142
80	2200	0,89	0,89	1	1,01	0,067	0,141

Observe na Tabela 6 que variação dos resistores R9, R10, R13 e R14 causa uma pequena variação nas correntes estágios. Essas variações praticamente não interferem na saída e na distorção.

8.2.1. Definição dos valores

A partir deste estudo, foram simuladas algumas combinações de valores para os resistores. Foi escolhida a combinação que apresentou uma corrente regular (baixa), baixa distorção na saída e média tensão sobre os transistores (próximo de 12V).

A combinação de valores que se mostrou melhor foi a seguinte:

V_{in} [mVp]	$R9 = R10 =$ $R13 = R14$ [Ω]	$R11 =$ $R12$	$I_{R9} =$ I_{R10} [mA]	$V_{R11} =$ V_{R12} [V]	V_{Q5out} [Vpp]	V_{Q7out} [Vpp]	DQ5 [%]	DQ7 [%]
80	1000	4750	1,94	9,16	0,999	1,01	0,065	0,141

8.3. Estágio de Ganho

A simulação do estágio de ganho deve ser feita em conjunto com a simulação do estágio multiplicador de V_{BE} . Isso é necessário, pois os resistores de coletor, R16 e R17, possuem valores altos em relação aos resistores de emissor. Os resistores de emissor são responsáveis por estabelecer a corrente do estágio, a qual passa também nos resistores de coletor. Isso faz com que a queda de tensão nos resistores de coletor seja muito grande, e que a tensão V_{CE} seja pequena. Assim o sinal de saída satura facilmente.

Com o estágio multiplicador de V_{BE} , a tensão sobre os resistores R16 e R17 é fixa em um valor pequeno (próximo de 2,5V). Desta forma, o sinal de saída do estágio de ganho pode atingir níveis altos de tensão sem saturar.

8.3.1. Multiplicador de V_{BE}

A Figura 36 mostra o circuito simulado. Foram feitos testes para que fosse atingida uma tensão próxima de 2,5V entre o coletor e o emissor do transistor Q13. O potenciômetro R21 foi adicionado ao circuito, pois será utilizado para o ajuste da tensão e polarização dos estágios seguintes. Os valores determinados para os resistores são:

R19	R20	R21
6,2k Ω	3,6k Ω	1k Ω

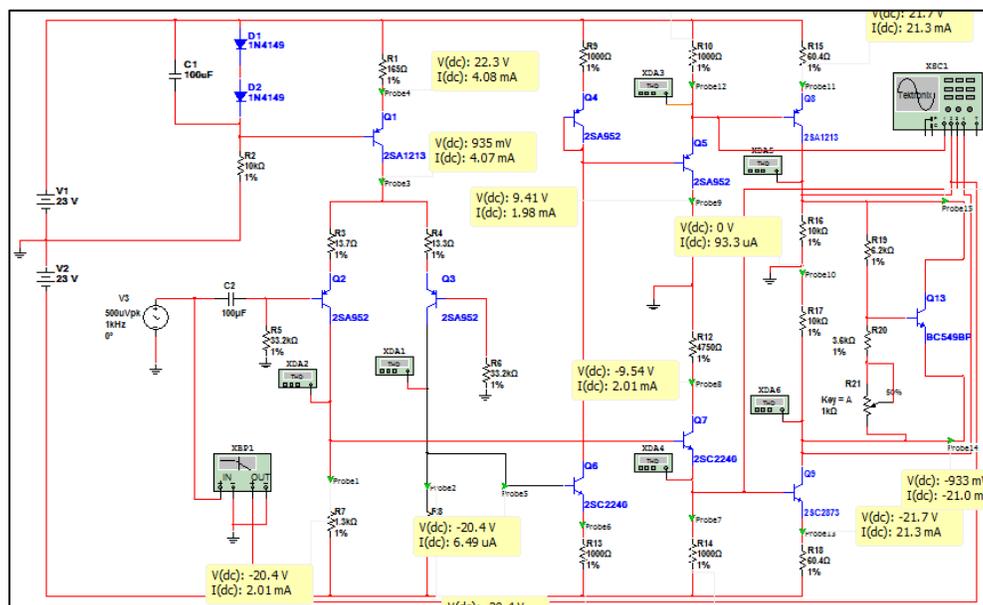


Figura 36 - Simulação do estágio de ganho e do multiplicador de V_{BE}

8.3.2. Estudo da influência do valor dos resistores de coletor no desempenho do estágio de ganho

De acordo com a Figura 36, foi realizada a simulação do estágio de ganho. A simulação foi realizada em todo o circuito, isto é, foi aplicado um sinal na entrada do amplificador diferencial e verificada a saída do estágio de ganho. Primeiro, variou-se os valores de R16 e R17. Todos os outros resistores foram mantidos constantes. A Tabela 7 mostra os dados obtidos com a simulação.

Parâmetros fixos:

$$R15 = R18 = 60,4\Omega;$$

Frequência de entrada = 1kHz;

Tensão de pico a pico na saída = 1Vpp;

Tabela 7- Dados obtidos com a variação de R16 e R17.

V_{in} [uVp]	$R15 = R18$ [Ω]	$R16 = R17$ [k Ω]	I_{R15} [mA]	DQ8 [%]	DQ9 [%]	VQ8out [Vp]	VQ9out [Vp]	AVQ8out [dB]	Resp.Freq Q8 [kHz]
1030	60,4	5k	21,3	0,008	0,008	1	1	53,746	69,436
535	60,4	10k	21,3	0,013	0,013	1	1	59,432	69,436
288	60,4	20k	21,3	0,024	0,024	1	1	64,819	68,65
164	60,4	40k	21,3	0,042	0,042	1	1	69,69	60,56

De acordo com os dados da Tabela 7, com o aumento de R16 e R17 o ganho do estágio aumenta. Isso vai ao encontro da relação encontrada no capítulo 3 deste trabalho. A Tabela 7 também mostra que o aumento dos resistores de coletor provoca a diminuição da frequência de corte e o aumento da distorção. Novamente, ambos os efeitos são causados pelo aumento do ganho. O aumento do ganho provoca o aumento da capacitância de Miller dos transistores, presente entre a base e o coletor dos transistores. Isso faz a resposta em frequência diminuir.

A distorção aumenta, pois o aumento do ganho faz o sinal de entrada excursionar sobre parte maior da curva I_C por V_{BE} do diodo Base-Emissor dos transistores. Como essa curva não é linear, o aumento do ganho gera o aumento na distorção do sinal.

8.3.3. Estudo da influência do valor dos resistores de emissor no desempenho do estágio de ganho

Novamente, de acordo com a Figura 36, foi realizada a simulação do estágio de ganho. Desta vez, foram variados os valores de R15 e R18. Todos os outros resistores foram mantidos constantes. A Tabela 8 mostra os dados obtidos com a simulação.

Parâmetros fixos:

$R16 = R17 = 10k\Omega$;

Frequência de entrada = 1kHz;

Tensão de pico a pico na saída = 1Vpp;

Tabela 8 - Dados obtidos com a variação de R15 e R18

V_{in} [uVp]	R15 = R18 [Ω]	R16 = R17 [k Ω]	I_{R15} [mA]	DQ8 [%]	DQ9 [%]	VQ8out [Vp]	VQ9out [Vp]	AVQ8out [dB]	Resp.Freq Q8 [kHz]
427	47	10k	27,3	0,017	0,017	1	1	61,41	70,232
535	60,4	10k	21,3	0,013	0,013	1	1	59,432	69,436
1840	220	10k	6,02	0,005	0,005	1	1	48,714	67,105
4610	560	10k	2,41	0,005	0,005	1	1	40,717	65,589

A partir da Tabela 8, é possível dizer que a diminuição de R15 e R18, gera o aumento do ganho, o que vai ao encontro da relação encontrada no capítulo 3 deste trabalho. O aumento do ganho causa o aumento da distorção, devido ao aumento da excursão do sinal sobre a curva do diodo Base-Emissor do transistor. Conseqüentemente, o aumento dos resistores de emissor e diminuição do ganho, ocasiona a diminuição da distorção.

8.3.4. Definição dos valores

A definição dos valores dos resistores ainda deve estar condizente a mais um requisito: a potência sobre os transistores.

Se tratando da operação em classe A, na qual o transistor conduz durante toda a excursão do sinal de entrada, a potência sobre os transistores Q8 e Q9 é o produto da corrente I_C pela tensão V_{CE} . A corrente I_C depende do valor de R15 e R18. A tensão V_{CE} é fixa e é dada por:

$$V_{EC_{Q8}} = V_1 - V_{R15} - \frac{V_{CE_{Q13}}}{2}$$

$$V_{EC_{Q8}} = 23 - 1,1 - \frac{2,5}{2} = 20,65V$$

A partir da folha de dados do transistor Q8, 2SA1360, sabe-se que a potência máxima dissipada pelo transistor a 100°C e sem dissipador (*no heat sink*) é 500mW. Desta forma, é possível determinar a corrente máxima para o transistor sob essas condições.

$$I_{C_{máx}} = \frac{500mW}{20,65} = 24,21mA$$

Sob essas mesmas condições, essa corrente $I_{C_{máx}}$ é igual para o transistor Q9, 2SC3430, uma vez que ele é complementar à Q8.

A partir deste estudo, foram simuladas algumas combinações de valores para os resistores, sendo que a combinação escolhida é:

Vin [uVp]	R15 = R18 [Ω]	R16 = R17 [kΩ]	IR15 [mA]	DQ8 [%]	DQ9 [%]	VQ8out [Vp]	VQ9out [Vp]	AVQ8out [dB]	Resp.Freq Q8 [kHz]
535	60,4	10k	21,3	0,013	0,013	1	1	59,432	69,436

8.4. Estágio *push-pull* de saída

Nas simulações do estágio *push-pull* de saída analisou-se a relação entre os resistores R24, R27, R28, o potenciômetro R21 e a distorção na carga. A Figura 37 mostra o circuito da simulação. Basicamente, foram efetuadas três formas de simulação do circuito:

- Foram simuladas situações em que os valores de R27, R28 e da corrente dos transistores Q14 e Q15 são fixos e é variado o valor de R24;
- Foram simuladas situações em que os valores de R24, R27 e R28 são fixos e o potenciômetro é variado, variando-se a corrente dos transistores Q14 e Q15;

Tabela 9 – Dados obtidos com a variação de R24.

Valores ajustados			Valores medidos					
R23 [Ω]	Potenc. [%]	R4 [Ω]	Vdc RL [mV]	Ic Q11 [mA]	Ic Q15 [mA]	Vin [mVp]	Vout [Vpp]	Dist [%]
24	1%	13,3	-58,20	46,2	60	8,05	13	0,165
33	4%	13,3	-5,51	34	60,6	8	13	0,176
56	14%	13,35	-4,62	20,1	60,2	8	13	0,192
68	17%	13,37	0,67	16,6	60,8	7,95	13	0,195
82	21%	13,38	3,18	13,8	59,0	7,95	13	0,198
100	24%	13,39	3,92	11,4	60,3	7,95	13	0,202

8.4.2. Estudo da influência do valor da corrente em Q14 e Q15 no desempenho do estágio

Parâmetros fixos:

R23 = 50 Ω ;

R27 = R28 = 0,1 Ω ;

Tensão de pico a pico na carga = 13Vpp;

Tabela 10 - Dados obtidos com a variação da corrente em Q14 e Q15.

Valores ajustados			Valores medidos				
Potenc. [%]	R4 [Ω]	Vdc RL [mV]	Ic Q11 [mA]	Ic Q15 [mA]	Vin [mVp]	Vout [Vpp]	Dist [%]
100%	13,37	-0,15	17,9	1,72	8,10	13	0,851
38%	13,35	3,19	20,9	19,4	8	13	0,338
22%	13,35	-1,58	21,8	39,5	8	13	0,218
16%	13,35	-3,63	22,2	50,9	8	13	0,194
12%	13,35	-5,06	22,5	60,0	8	13	0,189
8%	13,34	3,53	22,8	69,2	7,95	13	0,193
4%	13,34	2,09	23,1	81,2	7,95	13	0,209
0%	13,34	0,61	23,4	94,8	7,95	13	0,232

De acordo com a Tabela 10, a variação da corrente faz a distorção ter o comportamento de uma parábola. Isto é, quando a corrente em Q14 e Q15 é baixa, a distorção é grande. E quando o valor da corrente é alto, a distorção também é alta. Desta forma, a distorção possui um valor mínimo, quando a corrente tem um valor médio.

8.4.3. Estudo da influência do valor dos resistores R27 e R28 no desempenho do estágio *push-pull* de saída

Parâmetros fixos:

$$R24 = 50\Omega;$$

$$I_{cQ14} = I_{cQ15} = 60\text{mA}, \text{ quando } V_{in} = 0V_p;$$

$$\text{Tensão de pico a pico na carga} = 13V_{pp};$$

Tabela 11 - Dados obtidos com a variação de R27 e R28.

Potenc.(%)	I _{cQ15} (mA)	R26/R27 (Ω)	Dist (%)
12%	60,0	0,1	0,189
7%	59,8	0,22	0,205
3%	59,7	0,33	0,231

A partir da Tabela 11, é possível dizer que a distorção na carga aumenta com o aumento do valor de R27 e R28. Isto mostrou um comportamento inesperado do circuito. Pela teoria, quanto maior o valor de R27 e R28, o amplificador fica mais linearizado e o sinal de saída menos distorcido. Isso porque, quanto maior esses resistores, menor é a amplitude do sinal sobre os resistores das junções Base-Emissor dos transistores (r_e'), e assim, o sinal excursiona menos pela curva $I_c \times V_{BE}$ do diodo Base-Emissor do transistor.

8.4.4. Determinação dos valores

A partir desse estudo, foram simuladas algumas combinações de valores e foi determinada a seguinte:

$$R24 = 56\Omega;$$

$$R27 = R28 = 0,1 \Omega;$$

$$I_{cQ14} = I_{cQ15} = 60\text{mA};$$

Esta combinação mostrou o melhor equilíbrio entre distorção e potência dissipada pelos transistores. Isto é, esta foi a combinação que mostrou a menor distorção para uma baixa potência dissipada pelos transistores.

8.5. Realimentação Negativa

A simulação da realimentação negativa foi feita baseada no esquema da Figura 38.

O esquema ilustra que em uma entrada do circuito é ligado o sinal de entrada, enquanto a outra é aterrada. Além disso, é feito um divisor de tensão entre a saída do amplificador e o terra, simulando o ganho da malha de realimentação. As medições da margem de fase e de ganho são realizadas sobre o resistor de $1\text{k}\Omega$.

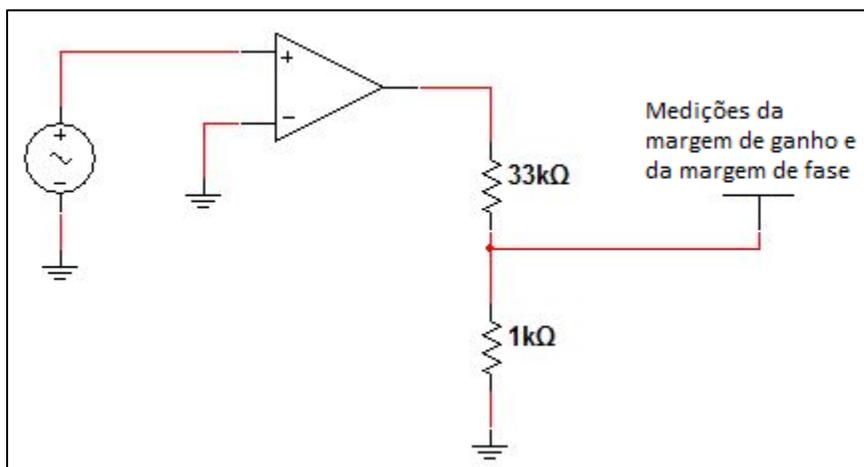


Figura 38 - Esquema da medição das margens de ganho e de fase.

A Figura 39 mostra o circuito utilizado na simulação.

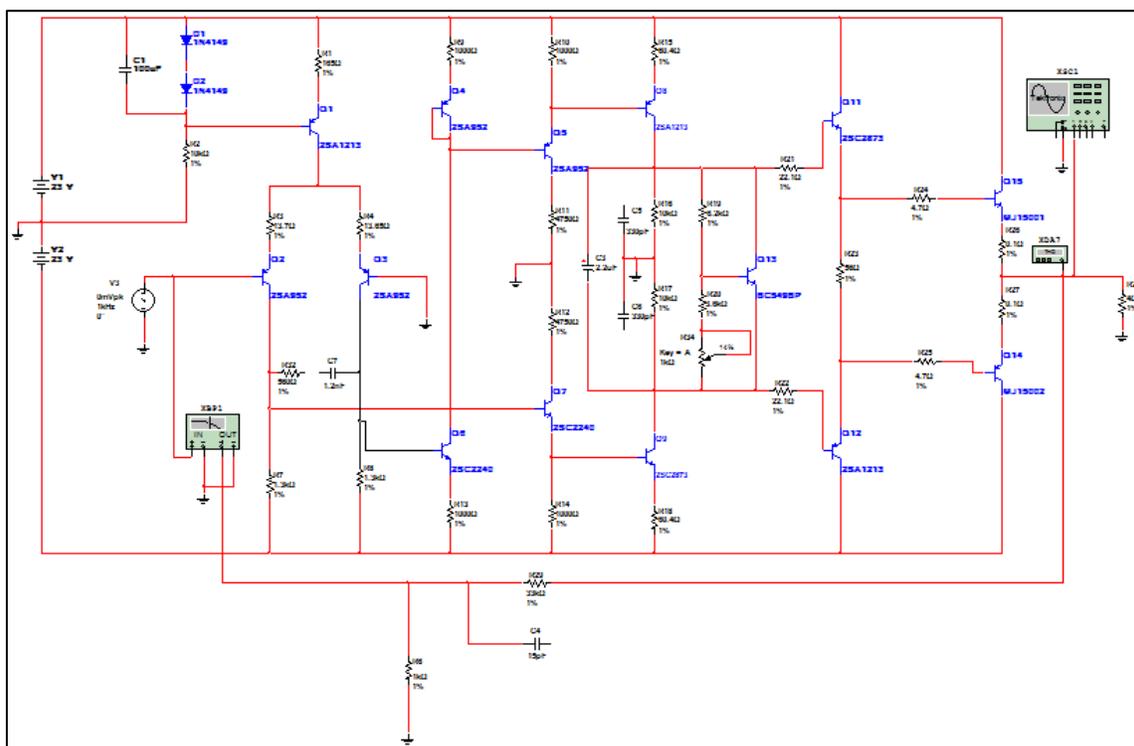


Figura 39 - Circuito utilizado na simulação da realimentação negativa.

8.5.1. Margem de ganho e fase sem os capacitores de compensação

Primeiro foi verificada a margem de ganho e a margem de fase sem nenhum capacitor de compensação no circuito, como foi mostrado na Figura 39. O resultado é mostrado na Tabela 12.

Tabela 12 - Margem de ganho e de fase do circuito sem compensação.

Ganho [dB]	Freq. Corte [kHz]	Margem de Ganho [dB]	Margem de Fase [°]
39,473	28,34	-1,127	3

8.5.2. Margem de ganho e fase com compensação no amplificador diferencial

Foi verificada a margem de ganho e de fase com o capacitor C7 e o resistor R32 de compensação no estágio do amplificador diferencial. O resultado é mostrado na Tabela 13.

Tabela 13 - Margem de ganho e de fase do circuito com compensação no amplificador diferencial.

Ganho [dB]	Freq. Corte [kHz]	Margem de Ganho [dB]	Margem de Fase [°]
39,473	42,138	-32,49	26,2

8.5.3. Margem de ganho e fase com compensação no amplificador diferencial e estágio de ganho

Foi verificada a margem de ganho e de fase com o capacitor C7 e o resistor R32 no estágio do amplificador diferencial e com os capacitores C5 e C6 no estágio de ganho. O resultado é mostrado na Tabela 14.

Tabela 14 - Margem de ganho e de fase do circuito com compensação no primeiro estágio e no estágio de ganho.

Ganho [dB]	Freq. Corte [kHz]	Margem de Ganho [dB]	Margem de Fase [°]
39,473	27,7	-33,452	51,35

8.5.4. Margem de ganho e fase com compensação no amplificador diferencial, estágio de ganho e malha de realimentação

Foi verificada a margem de ganho e de fase com o capacitor C7 e o resistor R32 no estágio do amplificador diferencial, com os capacitores C5 e C6 no estágio de ganho e com o capacitor C4 na malha de realimentação. O resultado é mostrado na Tabela 15.

Tabela 15 - Margem de ganho e margem de fase com compensação no amplificador diferencial, estágio de ganho e malha de realimentação.

Ganho [dB]	Freq. Corte [kHz]	Margem de Ganho [dB]	Margem de Fase [°]
39,473	27,7	-17,4	99

A partir das simulações é possível notar que o circuito sem compensação já apresenta margens de ganho e de fase de um circuito estável. Entretanto, elas não têm grandes valores, e uma possível intervenção externa, como um ruído, poderia levar o circuito à instabilidade.

Com a adição dos capacitores e resistores de compensação ao circuito, as simulações do circuito mostraram margens de ganho e fase maiores, o que dá maior segurança quanto a instabilidade. Em outras palavras, o circuito ficou mais estável.

9. MONTAGEM

Inicialmente, foi determinada a caixa onde seria montado o equipamento. A caixa escolhida possui as medidas de 30 x 40 x 10 cm.

Dentro da caixa deve caber o transformador, a placa da fonte, os dissipadores dos transistores, os conectores de entrada e saída de sinal e as placas dos seis amplificadores.

9.1. Dissipadores

A especificação dos dissipadores leva em consideração a impedância da carga, as potências dissipadas pelos transistores, as resistências térmicas dos transistores e as características do dissipador.

9.1.1. Potência dissipada pelos transistores

A potência dissipada pelos transistores depende do modo que eles operam. De forma que nos transistores que operam em classe A, a potência dissipada é dada por:

$$P_D = V_{CEQ} \cdot I_{CQ}$$

Sendo V_{CE} a tensão quiescente entre o coletor e o emissor do transistor e I_C a corrente quiescente que sai do coletor.

Já a potência dissipada por transistores que operam na classe B é dada por:

$$P_D = \frac{V_{CC}^2}{\pi^2 \cdot R_L}$$

Sendo V_{CC} a tensão de alimentação da fonte e R_L a impedância vista como carga para o circuito em classe B.

9.1.1.1. Potência dissipada pelos transistores do amplificador diferencial

Todos os transistores deste estágio operam em classe A, por isso é possível dizer que:

$$P_{Q1} = (21,3) \cdot (4,24 \cdot 10^{-3}) = 90mW$$

$$P_{Q2} = (21,3) \cdot (2,12 \cdot 10^{-3}) = 45mW$$

$$P_{Q3} = (21,3) \cdot (2,12 \cdot 10^{-3}) = 45mW$$

9.1.1.2. Potência dissipada pelos transistores do *buffer*

Todos os transistores deste estágio operam em classe A, por isso é possível dizer que:

$$P_{Q4} = (0,7) \cdot (1,9 \cdot 10^{-3}) = 1,5mW$$

$$P_{Q5} = (12) \cdot (1,9 \cdot 10^{-3}) = 23mW$$

$$P_{Q6} = (41,6). (1,9. 10^{-3}) = 79mW$$

$$P_{Q7} = (12). (1,9. 10^{-3}) = 23mW$$

9.1.1.3. Potência dissipada pelos transistores do estágio de ganho

Sabendo que a tensão V_{CE} do transistor Q13 é aproximadamente 2,5V, e que todos os transistores deste estágio operam em classe A, é possível dizer que:

$$P_{Q8} = (20,65). (18,2. 10^{-3}) = 375mW$$

$$P_{Q9} = (20,65). (18,2. 10^{-3}) = 375mW$$

$$P_{Q13} = (2,5). (18. 10^{-3}) = 45mW$$

9.1.1.4. Potência dissipada pelos transistores do estágio de *push-pull*

Todos os transistores deste estágio operam em classe AB. Desta forma, a potência dos nesses transistores é dada pela soma da potência dissipada em classe A com a potência dissipada em classe B. Desta forma, é possível dizer que:

$$P_{Q11} = V_{CEQ} \cdot I_{CQ} + \frac{V_{CC}^2}{\pi^2 \cdot R_L}$$

$$P_{Q12} = V_{CEQ} \cdot I_{CQ} + \frac{V_{CC}^2}{\pi^2 \cdot R_L}$$

$$P_{Q14} = V_{CEQ} \cdot I_{CQ} + \frac{V_{CC}^2}{\pi^2 \cdot R_L}$$

$$P_{Q15} = V_{CEQ} \cdot I_{CQ} + \frac{V_{CC}^2}{\pi^2 \cdot R_L}$$

Para Q15 e Q16, sabe-se que V_{CEQ} é aproximadamente igual a V_1 e que R_L é igual a 4Ω .

Por isso, tem-se:

$$P_{Q14} = (23). (60. 10^{-3}) + \frac{23^2}{\pi^2 \cdot 4} = 1,38 + 13,4 = 14,8W$$

$$P_{Q15} = (23). (60. 10^{-3}) + \frac{23^2}{\pi^2 \cdot 4} = 1,38 + 13,4 = 14,8W$$

A impedância vista pelos transistores Q11 e Q12 pode ser calculada através do equivalente CA da Figura 24, e dada por:

$$Z_{LQ11} = R25 + \beta_{Q14_{min}} \cdot (r'e_{Q14} + R27 + R_L) = 4,7 + 35 \cdot (1,25 + 0,1 + 4) = 192\Omega$$

$$Z_{LQ12} = R26 + \beta_{Q15_{min}} \cdot (r'e_{Q15} + R28 + R_L) = 4,7 + 35 \cdot (1,25 + 0,1 + 4) = 192\Omega$$

A potência máxima dissipada por Q11 e Q12 é:

$$P_{Q11} = (23) \cdot (20 \cdot 10^{-3}) + \frac{23^2}{\pi^2 \cdot 192} = 0,46 + 0,28 = 0,74W$$

$$P_{Q12} = (23) \cdot (20 \cdot 10^{-3}) + \frac{23^2}{\pi^2 \cdot 192} = 0,46 + 0,28 = 0,74W$$

9.1.2. Características térmicas dos transistores

As características térmicas dos transistores são a potência máxima dissipada pelo transistor, a resistividade térmica e a taxa de degradação da potência máxima dissipada em função do aumento da temperatura.

Geralmente, essas características são encontradas nas folhas de dados dos transistores, no entanto nem todas elas são encontradas nas folhas de dados dos transistores utilizados nesse projeto.

Por isso, para efetuar o cálculo do tamanho do dissipador foram pesquisados componentes que possuem os mesmos encapsulamentos que os transistores utilizados. Portanto, foram utilizadas as características térmicas desses componentes como estimativa para as características dos transistores do projeto.

As folhas de dados desses componentes são encontradas nos sites indicados na Bibliografia.

9.1.3. Características do dissipador

A resistividade térmica do dissipador varia de acordo com algumas características. Conforme Catálogo HS Dissipadores (2009, p. 03) a dissipação por convecção depende da diferença entre o ar envolta do dissipador e a temperatura ambiente, por isso a resistividade térmica varia em função da temperatura do dissipador e da temperatura ambiente. Ainda segundo Catálogo HS Dissipadores (2009, p. 05), a altitude em que o dissipador se localiza e o seu comprimento interferem na resistividade térmica do dissipador.

9.1.4. Cálculo do comprimento dos dissipadores

O cálculo do comprimento dos dissipadores foi feito através de uma rotina desenvolvida no software Matlab®. Esta rotina é mostrada no Apêndice.

O cálculo levou em consideração as características térmicas adotadas para os transistores.

9.1.4.1. Transistores 2SC5198 e 2SA1941

Para os transistores complementares do estágio de saída, 2SC5198 e 2SA1941, foram utilizados os seguintes dados:

Potência máxima dissipada: 100W;

Taxa de decaimento da potência máxima dissipada em função do aumento da temperatura no encapsulamento: $1,6\text{W}/^\circ\text{C}$;

Potência dissipada pelos transistores: 15W;

Resistividade térmica entre junção e o encapsulamento: $0,625^\circ\text{C}/\text{W}$;

Resistividade térmica entre o encapsulamento e o dissipador: $0,24^\circ\text{C}/\text{W}$;

Temperatura ambiente: 50°C ;

Temperatura máxima na junção: 150°C ;

Modelo de dissipador a ser utilizado do Catálogo HS Dissipadores: HS 15560

Resistividade térmica padrão do modelo do dissipador: $0,78^\circ\text{C}/\text{W}/4''$;

Com esses dados foi determinado que o dissipador de cada transistor do par complementar de saída deve possuir um comprimento próximo de 3,76cm;

Como o dissipador HS15560 tem 15,5cm, determinou-se que seria utilizado 1 dissipador para 2 pares complementares de saída, ou seja, 1 dissipador para dois canais.

9.1.4.2. Transistores 2SC4793 e 2SA1837

Para os transistores complementares 2SC4793 e 2SA1837 foram utilizados os seguintes dados:

Potência máxima dissipada: 20W;

Taxa de decaimento da potência máxima dissipada em função do aumento da temperatura no encapsulamento: $0,132\text{W}/^\circ\text{C}$;

Potência dissipada pelos transistores: 1W;

Resistividade térmica entre junção e o encapsulamento: $1^\circ\text{C}/\text{W}$;

Resistividade térmica entre o encapsulamento e o dissipador: $2,85^\circ\text{C}/\text{W}$;

Temperatura ambiente: 50°C ;

Temperatura máxima na junção: 150°C ;

Modelo de dissipador a ser utilizado do Catálogo HS Dissipadores: HS 1509

Resistividade térmica padrão do modelo do dissipador: $19,8^\circ\text{C}/\text{W}/4''$;

Com esses dados foi determinado que o dissipador de cada transistor do par complementar 2SC4793 e 2SA1837 deve possuir um comprimento próximo de 2,5mm;

Observe que para o cálculo do dissipador foi utilizada um valor de potência dissipada maior do que o valor real para garantir uma margem de segurança. Ainda assim, o comprimento do dissipador foi pequeno. Foram utilizados dissipadores maiores para aumentar a margem de segurança com relação ao aquecimento dos transistores.

9.1.4.3. Transistores 2SC3423 e 2SA1360

Para os transistores complementares 2SC3423 e 2SA1360 foram utilizados os seguintes dados:

Potência máxima dissipada: 5W;

Taxa de decaimento da potência máxima dissipada em função do aumento da temperatura no encapsulamento: 0,04W/°C;

Potência dissipada pelos transistores: 1W;

Resistividade térmica entre junção e o encapsulamento: 10°C/W;

Resistividade térmica entre o encapsulamento e o dissipador: 1°C/W;

Temperatura ambiente: 50°C;

Temperatura máxima na junção: 150°C;

Modelo de dissipador a ser utilizado do Catálogo HS Dissipadores: HS 1509

Resistividade térmica padrão do modelo do dissipador: 19,8°C/W/4”;

Com esses dados foi determinado que o dissipador de cada transistor do par complementar 2SC4793 e 2SA1837 deve possuir um comprimento próximo de 6,5mm;

Observe que para o cálculo do dissipador foi utilizada um valor de potência dissipada maior do que o valor real para garantir uma margem de segurança. Ainda assim, o comprimento do dissipador foi pequeno. Foram utilizados dissipadores maiores para aumentar a margem de segurança com relação ao aquecimento dos transistores.

9.2. Placas de circuito impresso

Sabendo do tamanho dos dissipadores e que cada dissipador HS15560 tem quatro transistores de saída junto dele, foi estabelecido que o tamanho da placa de cada canal deve ser 65 x 72 mm.

O projeto da placa de circuito impresso foi elaborado utilizando o software Eagle®. Devido ao tamanho reduzido da placa, o projeto da placa foi desenvolvido utilizando as duas faces da placa.

A Figura 40 mostra a face de cima da placa, onde estão os componentes.

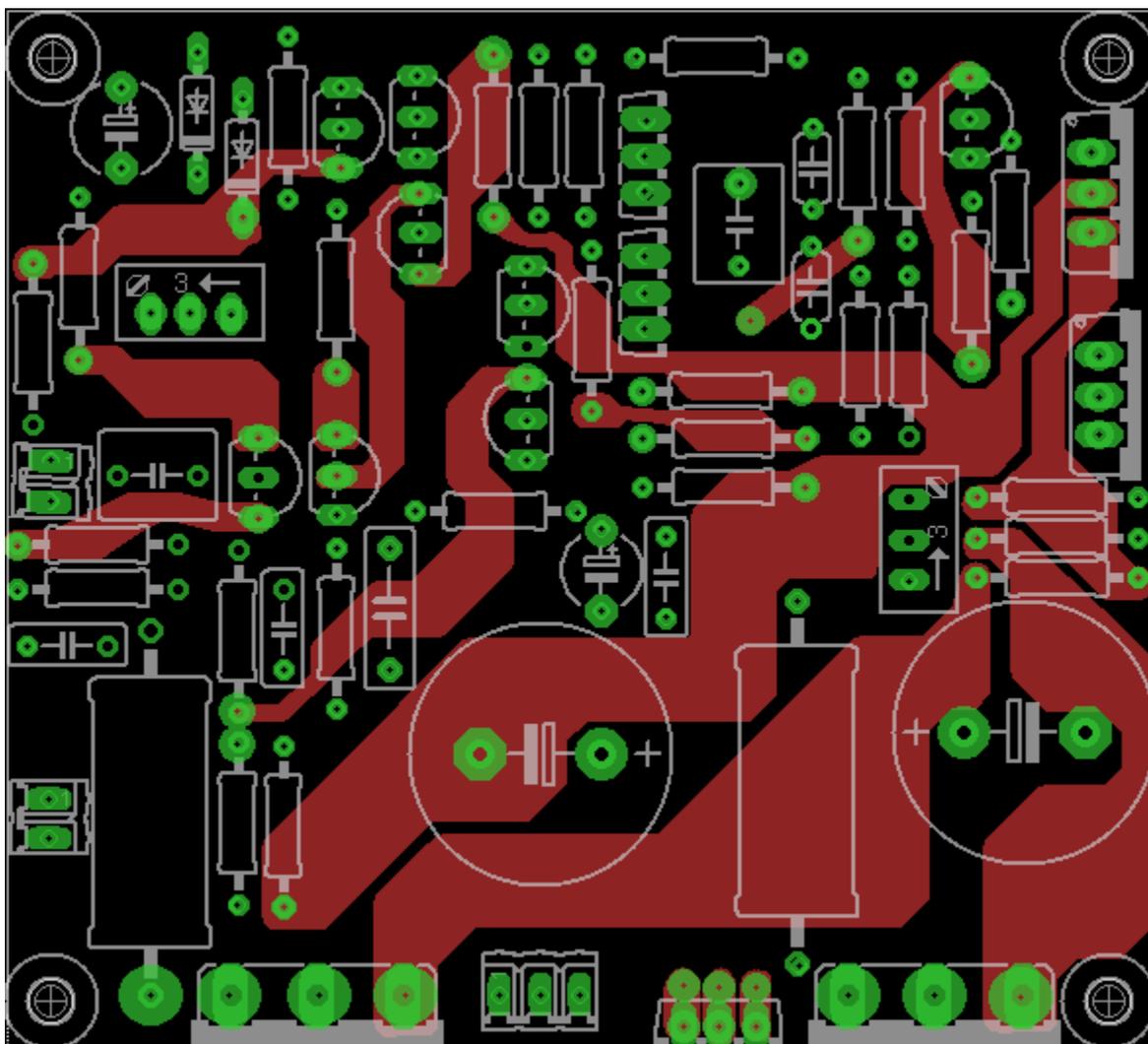


Figura 40 - Face de cima da placa de circuito impresso do amplificador.

A Figura 41 mostra a face de baixo da placa.

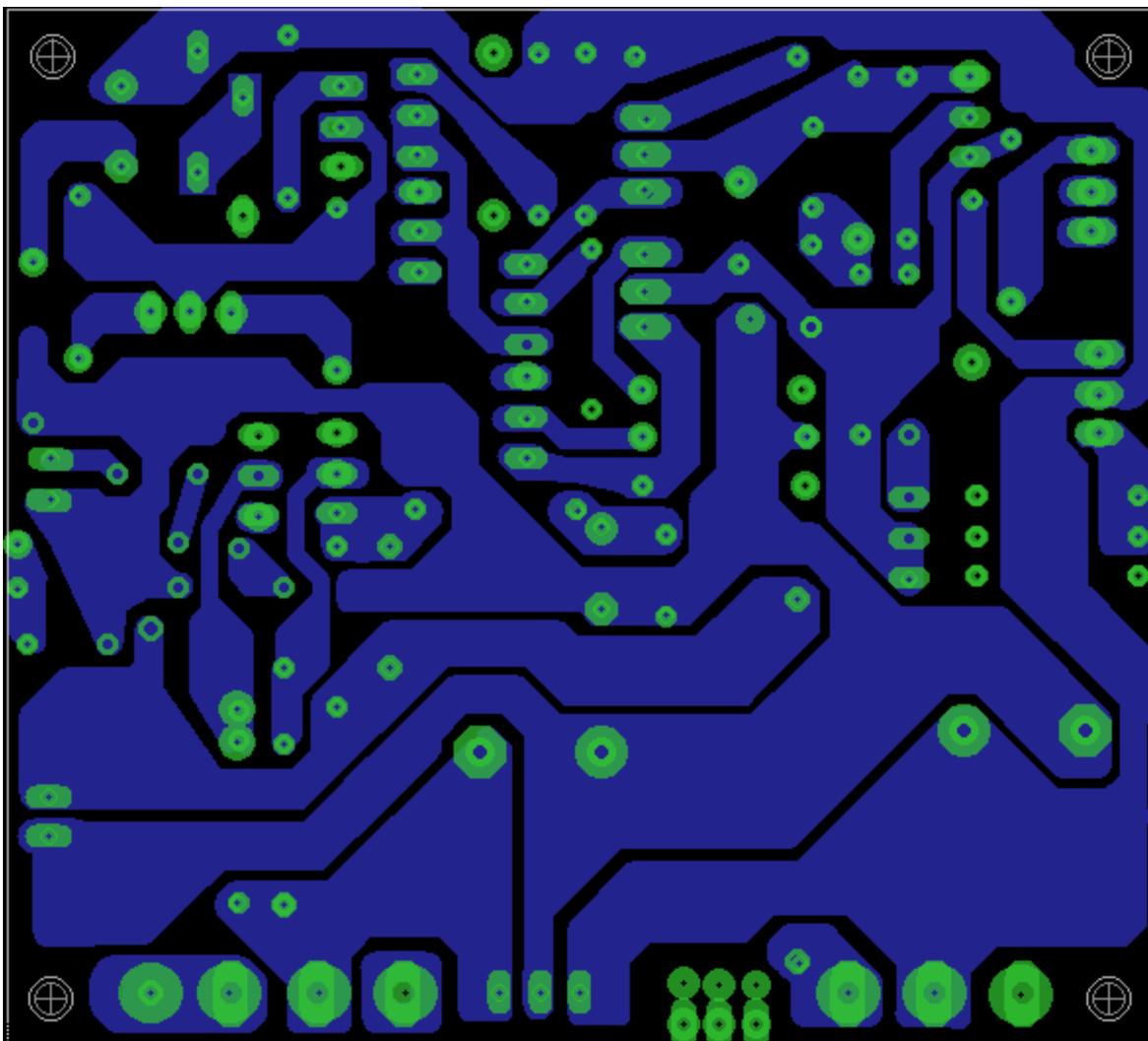


Figura 41 - Face de baixo da placa de circuito impresso do amplificador.

A Figura 42 mostra a placa de circuito impressa já totalmente produzida.



Figura 42 - Placa de circuito impresso produzida.

Depois de montadas e soldados os componentes nas placas, foram elaborados alguns testes de funcionamento e verificação do ganho. Então foi feita a montagem e fixação das placas,

dissipadores e do transformador na caixa do projeto. As Figuras 43 e 44 mostram como ficou a montagem e disposição das placas, dissipadores e do transformador na caixa do projeto.

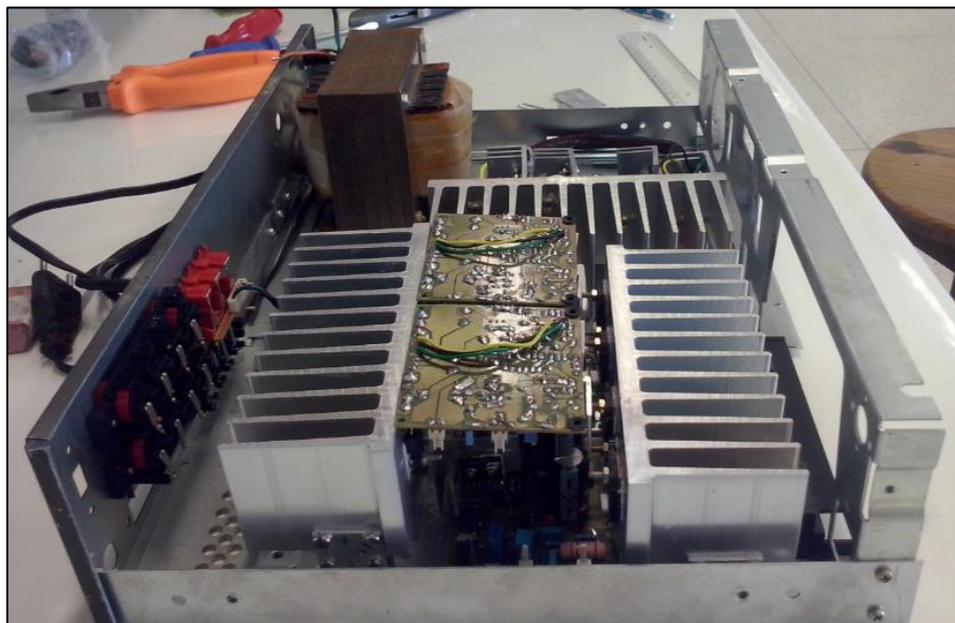


Figura 43 - Disposição dos equipamentos dentro da caixa do projeto.

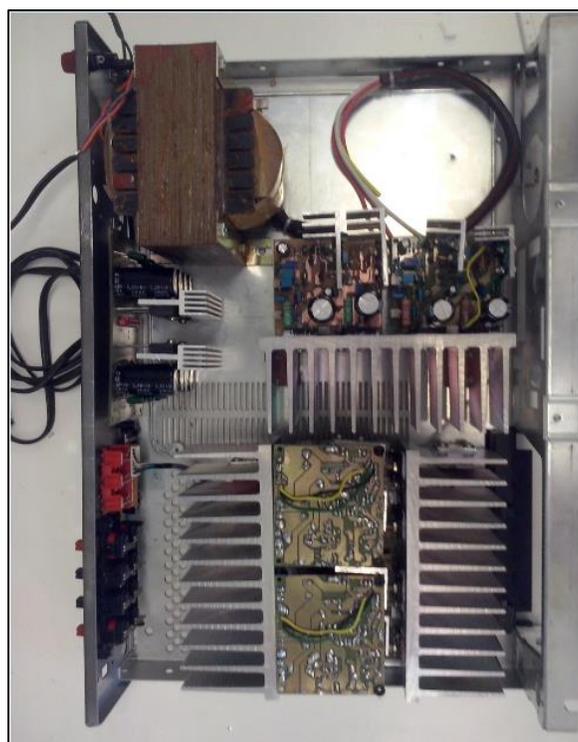


Figura 44 - Disposição das placas, dissipadores e do transformador na caixa do projeto.

Depois disso, foram elaborados os chicotes e soldados os cabos de entrada de sinal, saída de sinal e alimentação.

10. TESTES

10.1. Verificação dos ganhos

Durante a montagem das placas foram elaborados testes para verificar o funcionamento das mesmas. Foram verificadas as tensões CC em alguns pontos do circuito e o ganho dos estágios.

10.1.1. Amplificador diferencial

A Figura 45 mostra o sinal aplicado na entrada do amplificador diferencial. A Figura 46 mostra o sinal de saída deste estágio.

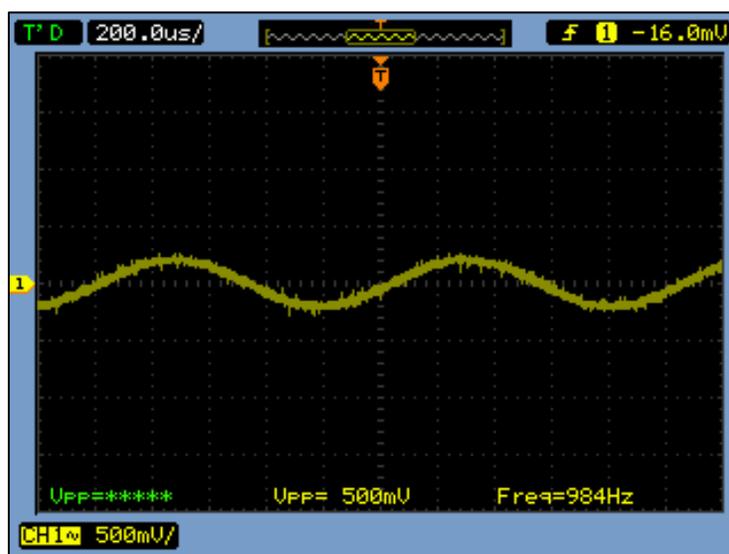


Figura 45 - Sinal de entrada do amplificador diferencial montado.

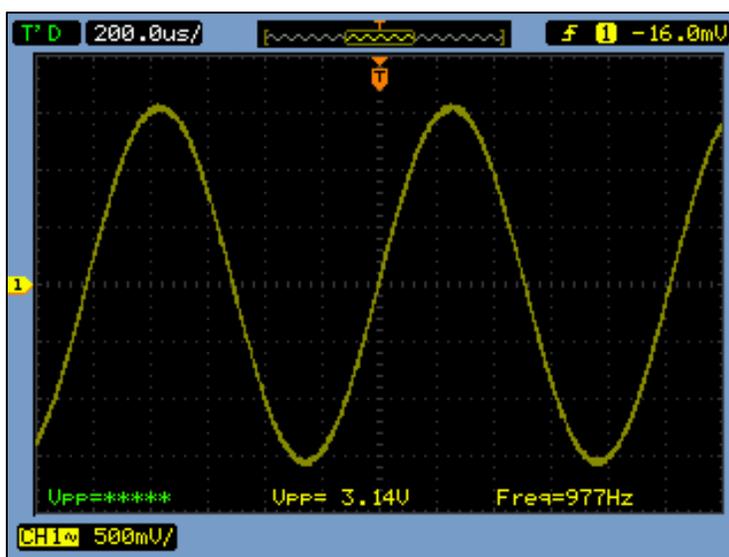


Figura 46 - Sinal de saída do amplificador diferencial montado.

Observe na Figura 45, que a tensão pico a pico do sinal aplicado é aproximadamente 500mV. Já na Figura 46, nota-se que a tensão pico a pico do sinal de saída é 3,14V. A partir disto, sabe-se que o ganho do estágio é dado pela divisão desses valores ($A_v = V_{out}/V_{in}$). Por isso, o ganho é de aproximadamente 6,3, ou 15,9dB, o que concorda com o projeto.

10.1.2. Estágio de *Buffer*

A Figura 47 mostra o sinal aplicado na entrada do amplificador diferencial. Observe na Figura 47, que a tensão de pico a pico do sinal de entrada aplicado tem aproximadamente 480mV. A Figura 48 mostra a saída do estágio de *buffer*.

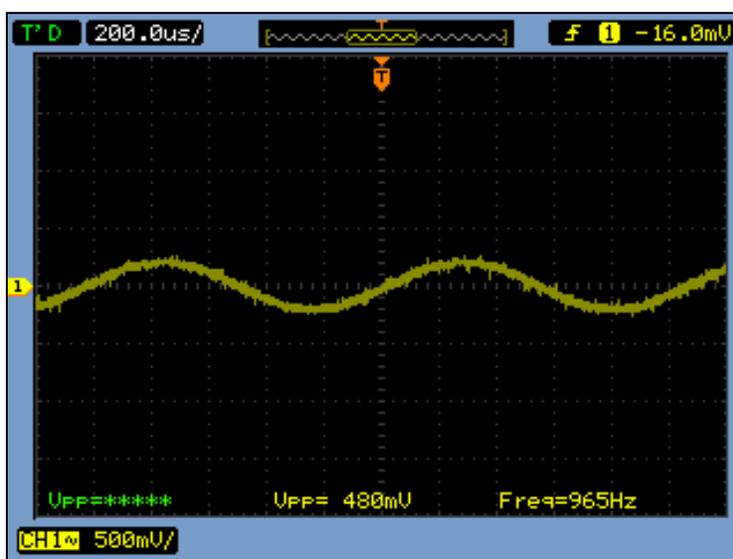


Figura 47 - Sinal aplicado na entrada do amplificador diferencial.

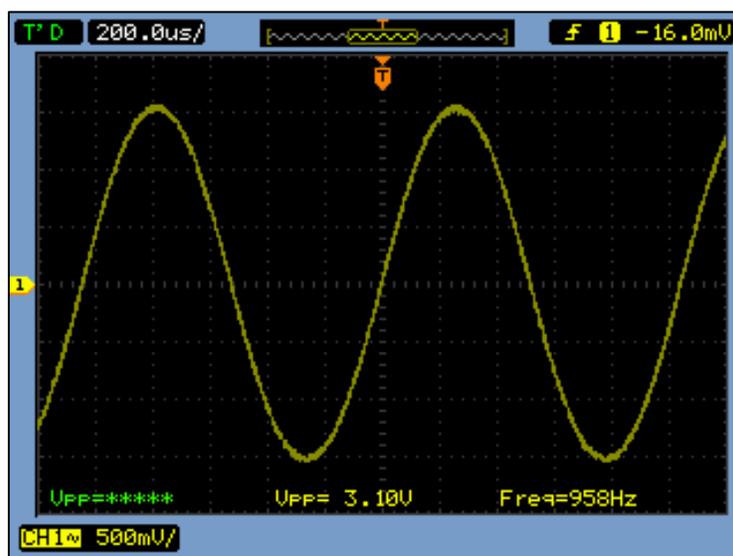


Figura 48 - Sinal de saída do estágio de *buffer*.

Observe na Figura 48, que o valor da tensão de pico a pico do sinal de saída é 3,14. A partir disto, sabe-se que o ganho do circuito é dado pela divisão desses valores ($A_v = V_{out}/V_{in}$). Desta forma, tem-se que ganho do circuito até o estágio de *buffer* é aproximadamente 5,74, ou 15,2dB, o que vai ao encontro dos cálculos de projeto.

A Figura 49 mostra o sinal aplicado na entrada do amplificador diferencial para verificar a frequência de corte do circuito. A Figura 50 mostra o sinal de saída do estágio de *buffer* quando o ganho é 3dB abaixo do ganho padrão do circuito. Observe que a frequência de corte é 205kHz.

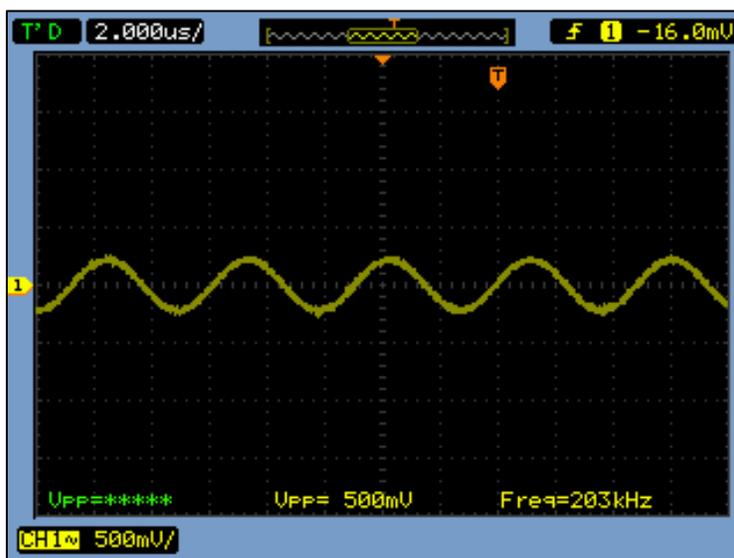


Figura 49 - Sinal aplicado na entrada do amplificador diferencial para verificar a frequência de corte do circuito.

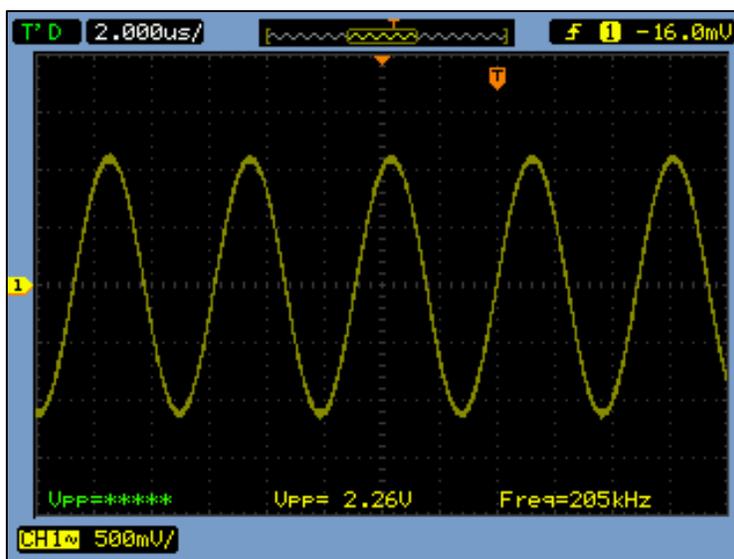


Figura 50 - Sinal de saída do estágio de *buffer* utilizado para verificar a frequência de corte do circuito montado até aqui.

10.1.3. Amplificador em malha aberta

A Figura 51 mostra o sinal aplicado na entrada do amplificador diferencial para verificar o ganho total em malha aberta. A Figura 52 mostra o sinal de saída do circuito totalmente montado e sem realimentação. Observe na Figura 51 que o sinal de entrada é muito pequeno e por isso existem muitos ruídos, mas é possível aproximar o valor da tensão de pico a pico do sinal de entrada para 31,6mV. Observe agora na Figura 52, que a tensão de pico a pico do sinal de saída é aproximadamente 12,5V.

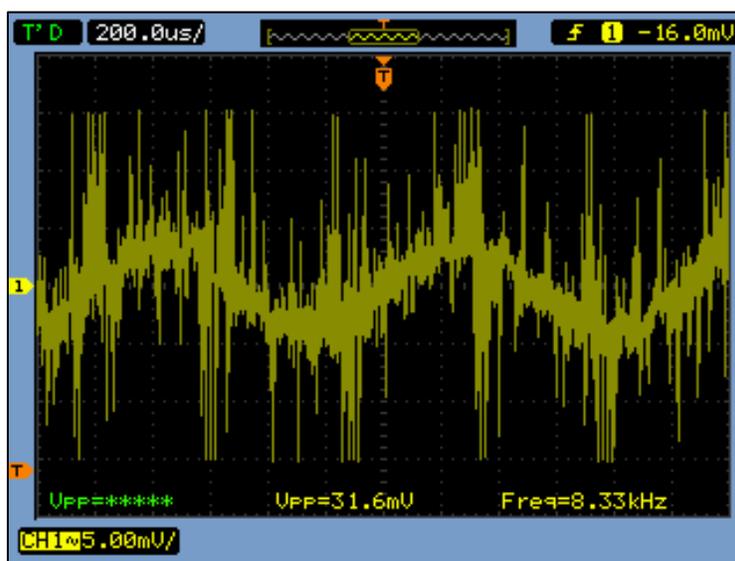


Figura 51 - Sinal de entrada aplicado para verificar o ganho total do circuito em malha aberta.

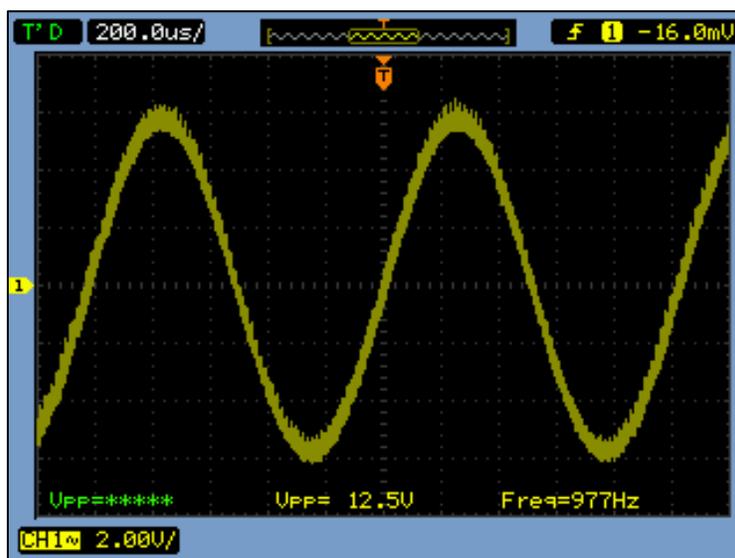


Figura 52 - Sinal de saída do circuito amplificador em malha aberta.

Como o ganho do circuito é dado pela divisão destes valores ($A_v = V_{out}/V_{in}$), é possível dizer que o ganho do amplificador em malha aberta é aproximadamente 395,6, ou 51,9dB, o que vai ao encontro dos cálculos do projeto.

A Figura 54 mostra o sinal de saída do circuito em malha aberta quando é atingida a frequência de corte. A Figura 53 mostra o sinal de entrada que é aplicado para se atingir a frequência de corte do circuito em malha aberta.

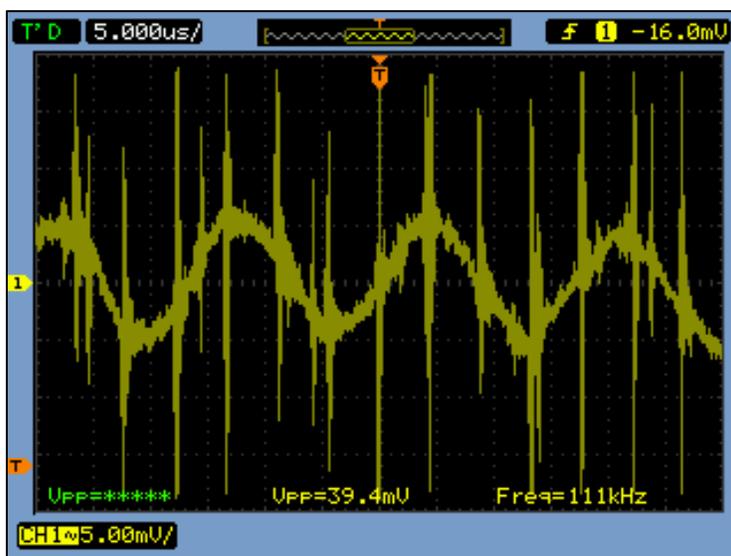


Figura 53 - Sinal de entrada aplicado para verificar a frequência de corte do circuito em malha aberta.

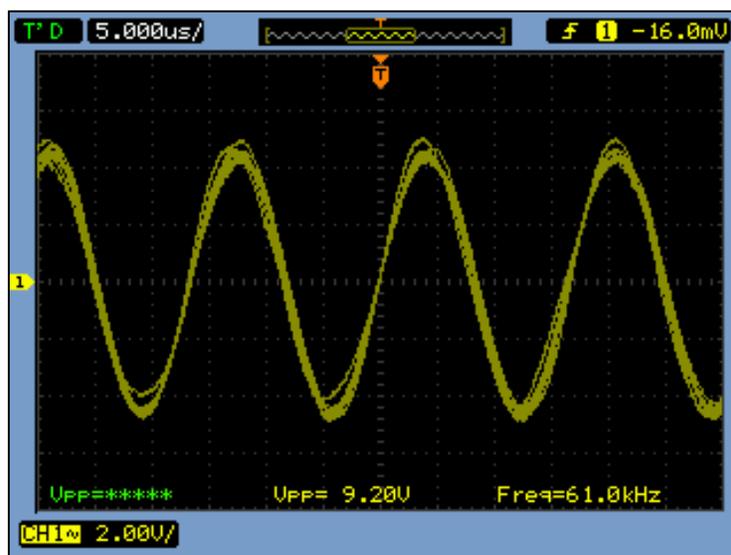


Figura 54 - Sinal de saída do circuito em malha aberta quando é atingida a frequência de corte do circuito.

Observe na Figura 53 que o sinal de entrada apresenta muitos ruídos e por isso o osciloscópio não consegue medir a frequência do sinal com precisão. Esta frequência é verificada

no sinal de saída na Figura 54. Através das duas figuras é possível dizer que a frequência e o corte do circuito em malha aberta montado é aproximadamente 61kHz.

10.1.4. Amplificador em malha fechada

A Figura 55 mostra o sinal aplicado na entrada do circuito para verificar o ganho em malha fechada do amplificador. Observe na Figura 55 que devido a alta quantidade de ruídos osciloscópio não conseguiu parar, ou estabelecer o “trigger”, corretamente. Além disso, é possível verificar na Figura 55, que a tensão de pico a pico do sinal de entrada é de aproximadamente 272mV.

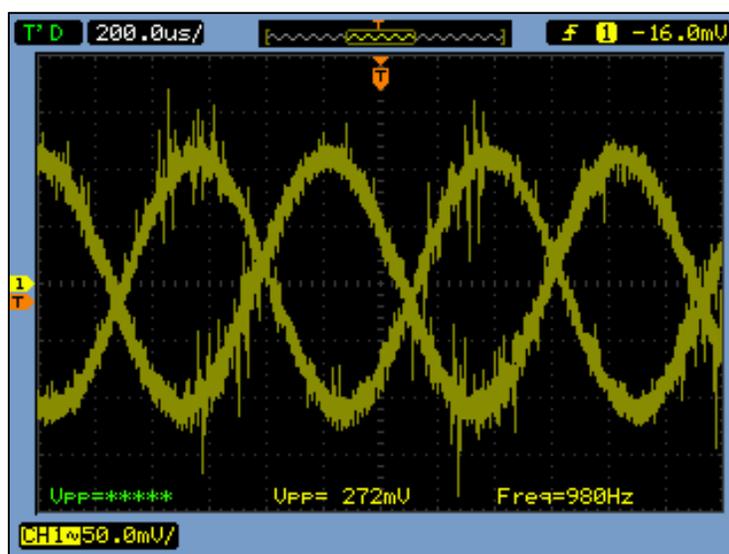


Figura 55 - Sinal de entrada aplicado para verificar o ganho do circuito em malha fechada.

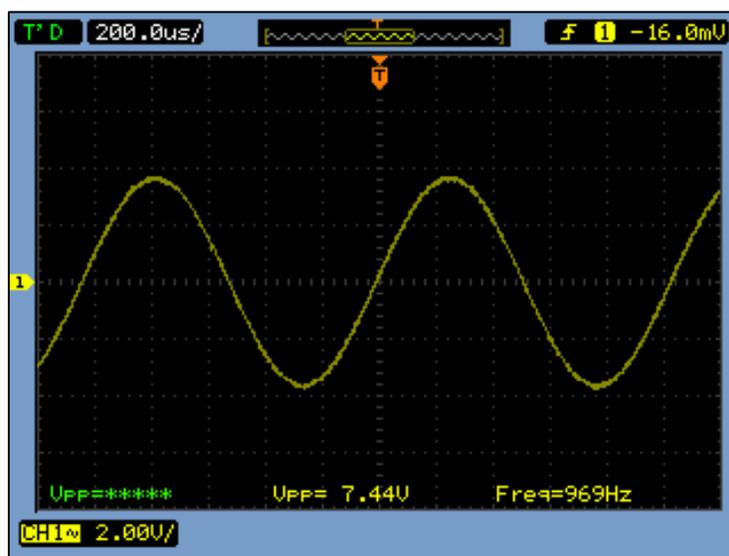


Figura 56 - Sinal de saída do circuito em malha fechada.

A Figura 56 mostra o sinal de saída do amplificador em malha fechada. É possível notar na Figura 56, que a tensão de pico a pico do sinal de saída do circuito em malha fechada é aproximadamente 7,44V. Como o ganho do circuito é dado pela divisão deste valores ($A_v = V_{out}/V_{in}$), é possível dizer que o ganho do amplificador em malha fechada é aproximadamente 27,35, ou 28,7dB, o que vai ao encontro das simulações do projeto.

A Figura 57 mostra o sinal aplicado na entrada para verificar a frequência de corte superior do circuito em malha fechada. A Figura 58 mostra o sinal de saída do circuito em malha fechada, quando é atingida a frequência de corte superior, ou quando o ganho cai em 3dB.

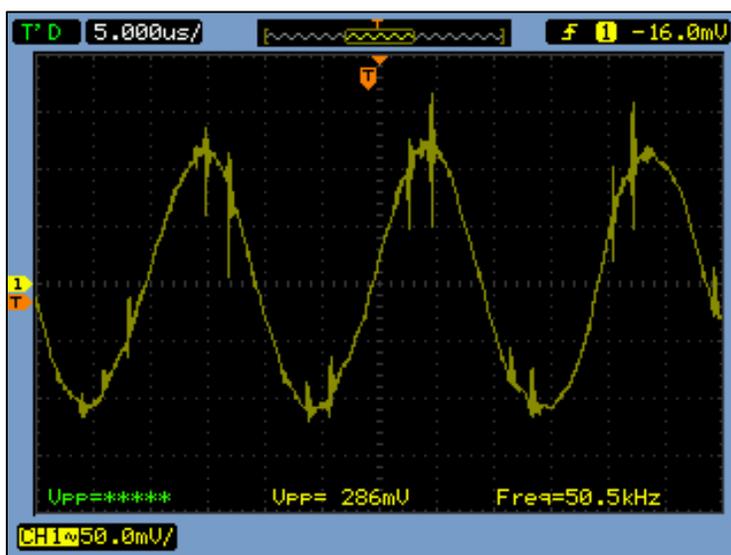


Figura 57 - Sinal de entrada aplicado para verificar a frequência de corte do circuito amplificador em malha fechada.

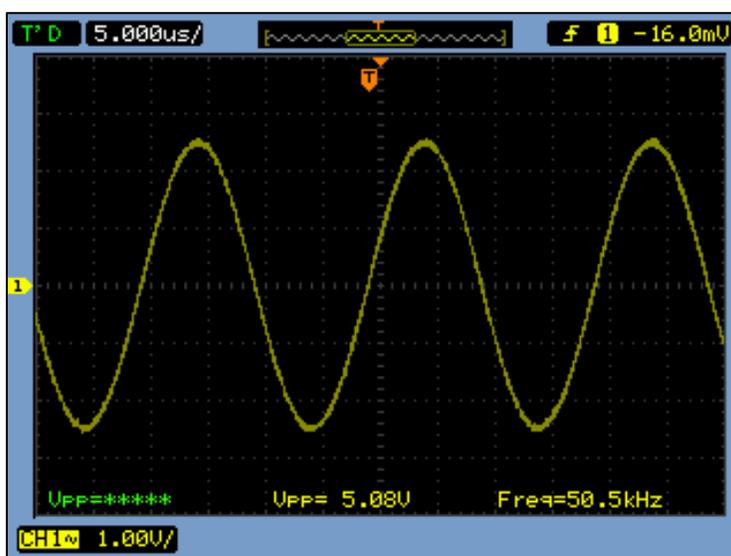


Figura 58 - Sinal de saída do circuito amplificador em malha fechada quando é atingida a frequência de corte do circuito.

A partir destes testes efetuados com o circuito em malha aberta e em malha fechada, é possível verificar que o sinal de saída do circuito em malha fechada, observado na Figura 56, praticamente não tem ruídos, enquanto que o sinal de saída do circuito em malha aberta, observado na Figura 54, apresenta uma quantidade muito grande de ruídos. Isso mostra a necessidade e importância da utilização da realimentação negativa no circuito.

10.2. Resposta em Frequência

Depois de montado todo o projeto, foi obtida a curva da resposta em frequência do amplificador. Os dados obtidos são mostrados na Tabela 16 e na Figura 59. Os dados foram obtidos sob as seguintes condições:

Canal estudado: Canal direito frontal;

Amplitude de saída fixa: $V_{out} = 5,6V_{pp}$;

Potência na carga fixa: $P_{RL} = 1W$;

Carga: $R_L = 4\Omega$;

Tabela 16 - Resposta em frequência do amplificador

f [Hz]	V _{in} [mV _{pp}]	Av	Av [dB]
10	183	30,6	29,7
20	165	33,9	30,5
30	163	34,4	30,8
40	162	34,6	30,9
50	163	34,4	30,95
60	157	35,7	31,0
70	159	35,2	31,0
80	157	35,7	31,0
90	156	35,9	31,05
100	155	36,1	31,10
200	155	36,1	31,2
300	153	36,6	31,25
400	154	36,4	31,25
500	154	36,4	31,25
600	154	36,4	31,3
700	155	36,1	31,3
800	153	36,6	31,3
900	152	36,8	31,3
1000	151	37,1	31,3
2000	144	38,9	31,3
3000	140	40,0	31,25

f [Hz]	V _{in} [mV _{pp}]	Av	Av [dB]
4000	137	40,9	31,2
5000	135	41,5	31,2
6000	133	42,1	31,2
7000	131	42,7	31,2
8000	131	42,7	31,2
9000	130	43,1	31,2
10000	129	43,4	31,2
15000	137	40,9	31,1
20000	151	37,1	30,8
25000	167	33,5	30,4
27000	173	32,4	30,2
30000	183	30,6	29,7
32000	192	29,2	29,3
35000	201	27,9	28,9
40000	223	25,1	28,0
45000	240	23,3	27,4
50000	261	21,5	26,6
60000	304	18,4	25,3
70000	342	16,4	24,3
80000	388	14,4	23,2
90000	430	13,0	22,3
100000	470	11,9	21,5

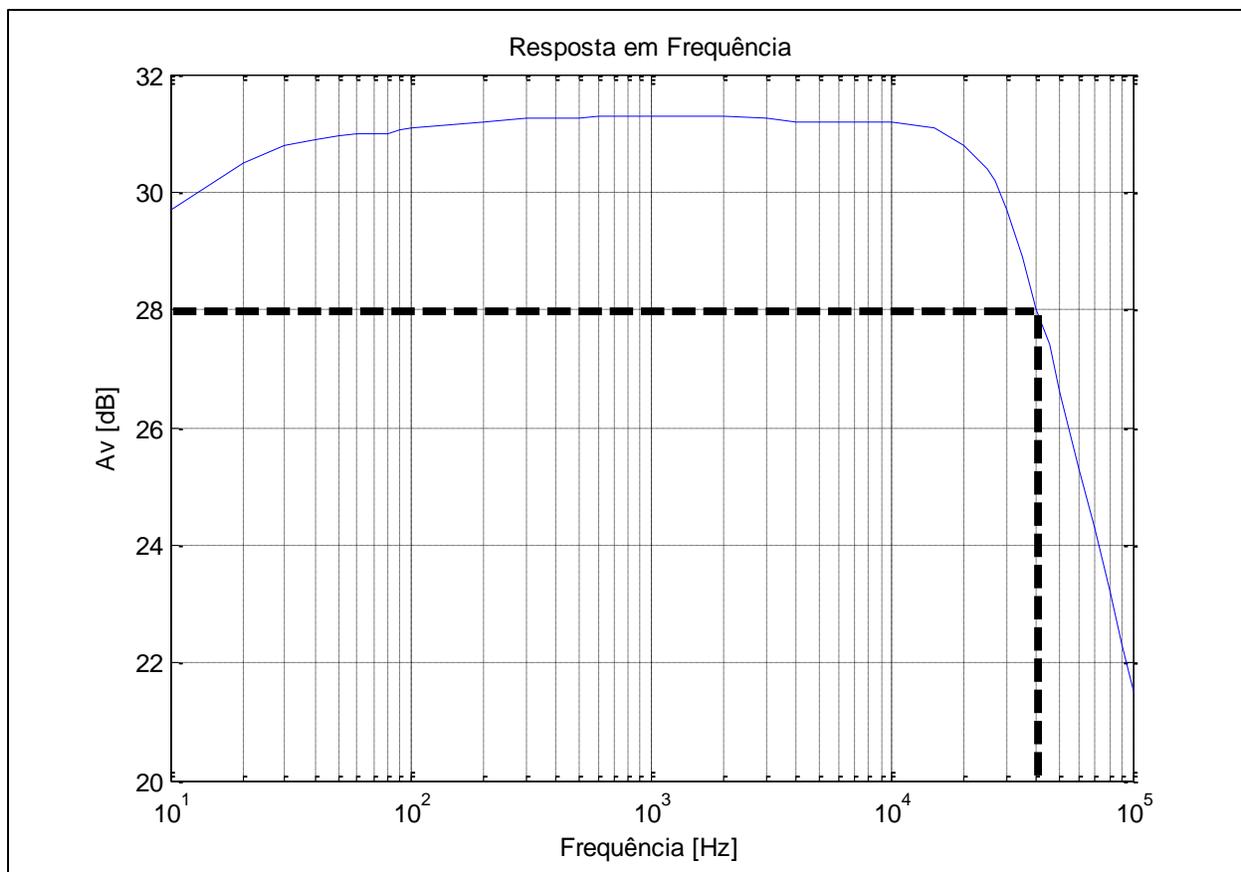


Figura 59 - Resposta em frequência do amplificador.

A partir do gráfico da resposta em frequência do ganho do amplificador pode-se estabelecer, visualmente, o ganho 31dB obtido a 1kHz, como o ganho da banda passante do amplificador. A partir disso, a frequência de corte é obtida quando o ganho é 28dB, ou seja, 3 dB a menos que o ganho do amplificador a 1kHz. Desta forma, a frequência de corte é aproximadamente 40kHz.

10.3. Distorção harmônica total em função da potência na carga

A distorção harmônica foi avaliada sob várias potências dissipadas na carga. Os dados obtidos são mostrados na Tabela 17 e na Figura 60 e foram obtidos sob as seguintes condições:

Canal estudado: Canal direito frontal;

Frequência do sinal fixa: $f = 1\text{kHz}$;

Carga: $R_L = 4\Omega$;

Tabela 17 – Distorção harmônica total em função da potência na carga.

Vout [Vpp]	P _{RL} [W]	THD [%]
1	0,03	1,65
4	0,48	0,72
7	1,48	0,62
10	3,01	0,59
13	5,09	0,62
16	7,72	0,75
19	10,88	0,8
22	14,59	0,84
25	18,84	0,78
28	23,63	0,78
31	28,97	0,81
34	34,84	0,81

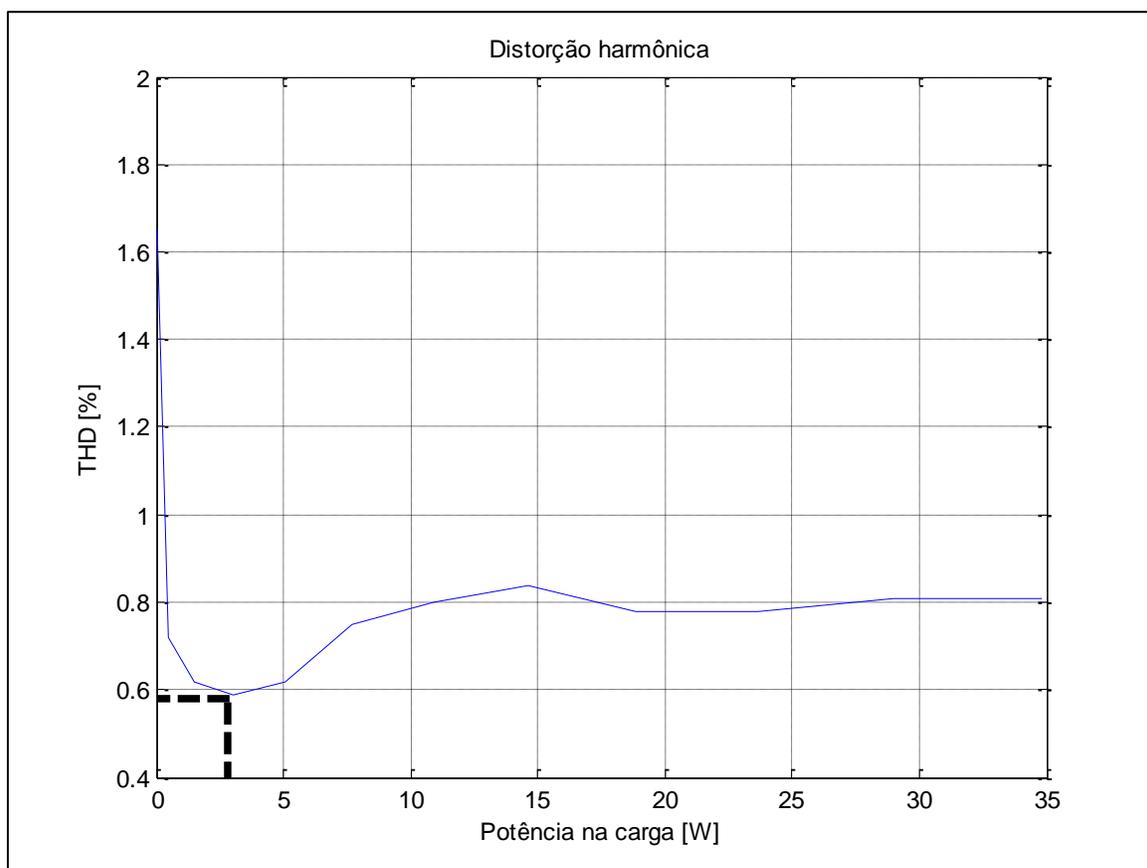


Figura 60 - Distorção harmônica total do amplificador em função da potência na carga.

Observe na Figura 60, que a distorção na carga é mínima, quando a potência na carga é aproximadamente 3W e a amplitude de saída é 10Vpp.

É importante frisar que as medidas de distorção harmônica total não são precisas devido às condições dos cabos utilizados, que não são próprios para medidas de distorção. Contudo, esses dados fornecem uma boa noção da relação entre a potência e a distorção do sinal de saída do amplificador, mostrando que a amplitude na qual a distorção é mínima é 10Vpp.

10.4. Distorção harmônica total em função da frequência do sinal

A distorção harmônica foi avaliada quando o sinal tem frequências entre 20Hz e 20kHz. Os dados obtidos são mostrados na Tabela 18 e na Figura 61 e foram obtidos sob as seguintes condições:

Canal estudado: Canal direito frontal;

Amplitude de saída fixa: $V_{out} = 10V_{pp}$;

Carga: $R_L = 4\Omega$;

Tabela 18 - Distorção harmônica total em função da frequência do sinal

f [Hz]	THD [%]
20	1,62
30	1,5
40	1,44
50	1,26
60	1,15
70	1,02
80	0,93
90	0,81
100	0,69
200	0,6
300	0,57
400	0,55
500	0,55
600	0,55
700	0,57
800	0,58
900	0,58
1000	0,59

f [Hz]	THD [%]
2000	0,63
3000	0,67
4000	0,66
5000	0,75
6000	0,8
7000	0,82
8000	0,83
9000	0,85
10000	0,85
11000	0,86
12000	0,88
13000	0,88
14000	0,88
15000	0,87
16000	0,89
17000	0,83
18000	0,86
19000	0,85
20000	0,87

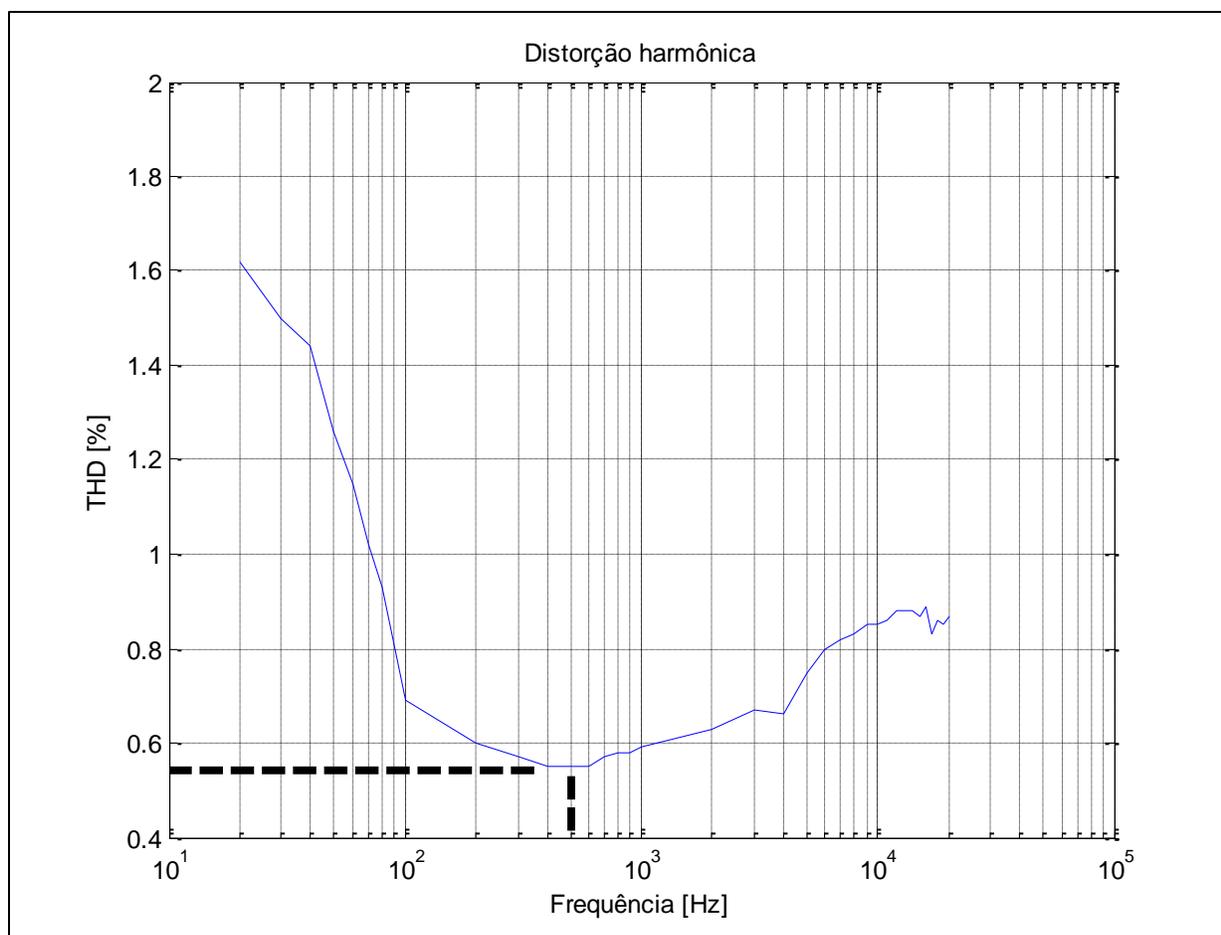


Figura 61 - Distorsão harmônica total em função da frequência do sinal.

Observe na Figura 61 que a distorção na carga é mínima quando a frequência do sinal é aproximadamente 500Hz.

Novamente, as medidas de distorção harmônica total não são precisas devido às condições dos cabos utilizados, que não são próprios para medidas de distorção. Contudo, esses dados fornecem uma boa noção da relação entre a frequência e a distorção do sinal de saída do amplificador, mostrando que a frequência na qual a distorção é mínima é aproximadamente 500Hz.

10.5. Transformada de Fourier

Foi analisada também a transformada de Fourier do sinal de saída do amplificador para avaliar os harmônicos gerados pelo amplificador. Os dados foram obtidos sob as seguintes condições:

Canal estudado: Canal direito frontal;

Amplitude de saída fixa: $V_{out} = 10V_{pp}$;

Frequência do sinal: $f = 1kHz$;

Carga: $R_L = 4\Omega$;



Figura 62 - Transformada de Fourier do sinal de entrada do amplificador. Em amarelo o sinal de entrada do amplificador. Em verde o sinal de saída do amplificador.

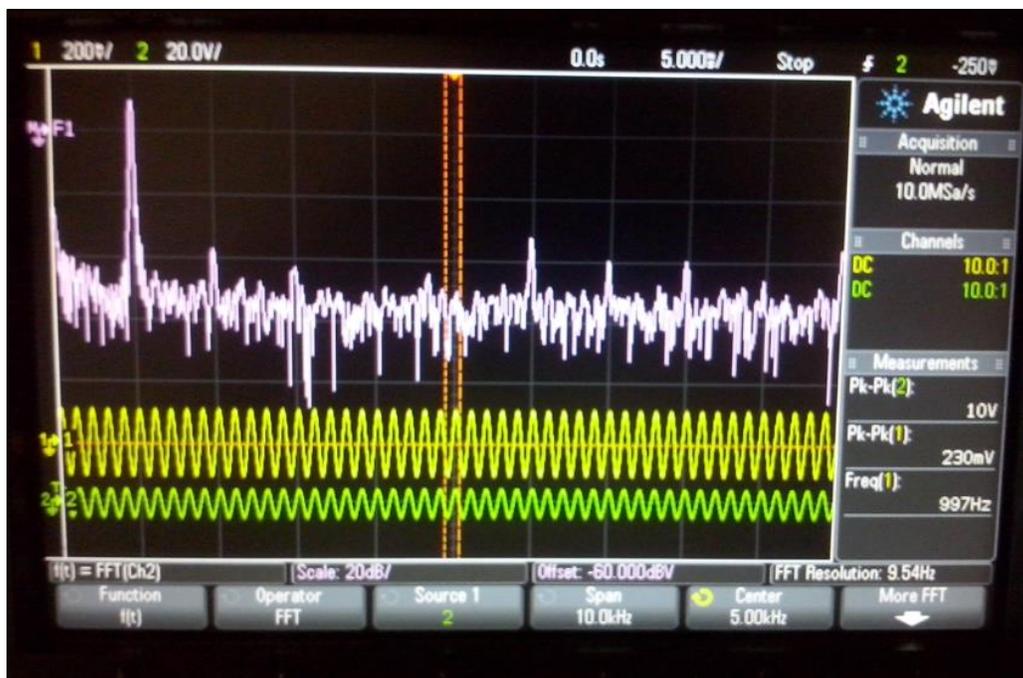


Figura 63 - Transformada de Fourier do sinal de saída do amplificador. Em amarelo, o sinal de entrada. Em verde, o sinal de saída do amplificador.

A Figura 62 mostra a transformada de Fourier do sinal de entrada do amplificador. Já a Figura 63 mostra a transformada de Fourier do sinal de saída do amplificador.

Através da Figura 62 e da Figura 63 é possível verificar que o sinal de entrada apresenta apenas o primeiro e o segundo harmônico. No sinal de saída, é possível verificar que o amplificador insere no sinal o sexto, o sétimo e o oitavo harmônico, embora, os mesmo são muito reduzidos em relação ao primeiro harmônico. Os harmônicos do sinal de saída tem entre 50 e 60dB a menos que o harmônico fundamental, o que mostra que o amplificador é bom, pois apenas provoca pequenos ruídos de amplitude mil vezes menor que a amplitude do sinal fundamental.

11. PROJETO DO AMPLIFICADOR DE GRAVES

O projeto do canal de amplificação dos sons graves, *subwoofer*, tem seu projeto basicamente igual ao projeto dos outros canais do *home theater*. Ele apresenta apenas algumas alterações que são listadas abaixo:

- Aumento do valor da tensão de alimentação do circuito para 40V. Isto é necessário para garantir que o sinal de saída tenha uma potência compatível com a potência requerida pelos sinais graves, como explosões, tambores, etc.
- Substituição dos transistores de saída 2SC5198 e 2SA1941 pelos transistores 2SC3281 e 2SA1302. Os transistores 2SC3281 e 2SA1302 tem a capacidade de dissipar uma potência maior.
- Aumento do valor dos resistores R27 e R28 para $0,22\Omega$. Isso melhora a estabilidade térmica do estágio de saída. Quando a corrente nos transistores aumenta, a tensão sobre os resistores R27 e R28 será maior (devido ao aumento dos seus valores). Assim, a tensão na base desses transistores será menor e a corrente tende a diminuir.
- Diminuição do valor dos resistores R24 e R25 para $2,2\Omega$. Isto diminui a queda de tensão sobre ele e aumenta o valor de ganho.
- Alteração do valor dos resistores R19 e R20 para $2,2k\Omega$ e $1,5k\Omega$. Isto é necessário para efetuar o ajuste da tensão aplicada na base do transistores do último estágio e atingir a corrente quiescente.
- Diminuição do valor da corrente quiescente do último estágio para aproximadamente 40mA. Isto é necessário para diminuir a potência dissipada nos transistores Q14 e Q15.
- Diminuição do valor dos resistores R16 e R17 para $5,6k\Omega$ e do valor dos resistores R15 e R18 para 22Ω . Isto é necessário para aumentar o valor da corrente quiescente do estágio de ganho e garantir que este opere em classe A.
- Aumento do valor do capacitor C2 para $4,7\mu F$. Isto é necessário para permitir a passagem de sinais com frequências mais baixas. Como o capacitor em série com a carga é um filtro passa-alta, quanto maior o capacitor, menor é a frequência que ele permite passar.
- Aumento do valor de R5 e R29 para $56k\Omega$. Isto é necessário para aumentar o valor do ganho em malha fechada.

- Alteração dos valores de C5, C6, C7, C9 e R32 para 470pF, 470pF, 1,8nF, 100 μ F e 220 Ω . Isto é necessário para garantir que o circuito em malha fechada tenha uma margem de ganho negativa e margem de fase positiva.

12. CONCLUSÃO

Projeto amplificador de potência é um tema que encontra grande interesse na comunidade de áudio - e não apenas no sentido de preocupações comerciais, mas também como um desafio fascinante e muitas vezes exigente para engenheiros eletricitas e amantes dessa área. Os dilemas envolvidos são inúmeros, desde os requisitos básicos para a reprodução do sinal precisa de áudio, como: boa resposta em frequência, baixo ruído, baixa distorção, até contemplações em relação à segurança, eficiência e complexidade de restrições. Como nunca será uma solução que, simultaneamente, cumpre todas as exigências, pode-se esperar sempre um desenvolvimento novo neste domínio.

Com a elaboração deste trabalho de conclusão de curso, foi possível efetuar o projeto e a construção de um circuito muito utilizado no cotidiano, seja nos cinemas ou nas residências. Isto se mostrou um importante projeto, já que haveria a possibilidade testá-lo e utilizá-lo em situações comuns como assistir a filmes e ouvir músicas. Além disso, este projeto possibilitou o estudo e aprofundamento na área de circuitos de áudio, na qual sempre existiu muito interesse por parte do aluno.

Devido ao seu tamanho e à sua complexidade, este projeto teve grande relevância no desenvolvimento da formação do aluno, que teve grande aprendizado ao trabalhar com os requisitos do projeto, como: o próprio projeto de todos os estágios do circuito eletrônico, análise da dissipação térmica, projeto da placa de circuito impresso, a construção e montagem mecânica e o tamanho restrito da caixa.

13. FONTES BIBLIOGRÁFICAS

BOYLESTAD, R. L. **Introdução à Análise de Circuitos**. 8. ed. São Paulo: Pearson Prentice Hall, 2004. 584 p.

BOYLESTAD, R. L.; NASHELSKY, L. **Dispositivos eletrônicos e teoria de circuitos**. 8. ed. São Paulo: Pearson Prentice Hall, 2004. 672 p.

CATÁLOGO HS DISSIPADORES. 2008.

GRONER, S. *A new audio amplifier topology with push-pull transimpedance stage*. **EE Times**, 2012. Disponível em: <http://www.eetimes.com/design/audio-design/4394979/A-new-audio-amplifier-topology-with-push-pull-transimpedance-stage---Part-1--Introduction?Ecosystem=audio-design>. Acesso em: 10 dez. 2013.

MALVINO, A. P. **Eletrônica**. 1. ed. São Paulo: McGraw-Hill, 1987. 520 p.

PERTENCE JÚNIOR, A. **Amplificadores Operacionais e filtros ativos**. 3. ed. São Paulo: McGraw-Hill, 1988. 359 p.

TOSHIBA. **Folha de dados do transistor 2SA970**. Disponível em: http://www.datasheetcatalog.com/datasheets_pdf/2/S/A/9/2SA970.shtml. Acesso em 10 dez 2013

TOSHIBA. **Folha de dados do transistor 2SC2240**. Disponível em: http://www.datasheetcatalog.com/datasheets_pdf/2/S/C/2/2SC2240.shtml . Acesso em 10 dez 2013.

TOSHIBA. **Folha de dados do transistor 2SA1360**. Disponível em: http://www.datasheetcatalog.com/datasheets_pdf/2/S/A/1/2SA1360.shtml . Acesso em 10 dez 2013.

TOSHIBA. **Folha de dados do transistor 2SC3423.** Disponível em:
http://www.datasheetcatalog.com/datasheets_pdf/2/S/C/3/2SC3423.shtml . Acesso em 10 dez 2013.

TOSHIBA. **Folha de dados do transistor 2SA1837.** Disponível em:
http://www.datasheetcatalog.com/datasheets_pdf/2/S/A/1/2SA1837.shtml .Acesso em 10 dez 2013.

TOSHIBA. **Folha de dados do transistor 2SC4793.** Disponível em:
http://www.datasheetcatalog.com/datasheets_pdf/2/S/C/4/2SC4793.shtml . Acesso em 10 dez 2013.

TOSHIBA. **Folha de dados do transistor 2SA1941.** Disponível em:
http://www.datasheetcatalog.com/datasheets_pdf/2/S/A/1/2SA1941.shtml . Acesso em 10 dez 2013.

TOSHIBA. **Folha de dados do transistor 2SC5198.** Disponível em:
http://www.datasheetcatalog.com/datasheets_pdf/2/S/C/5/2SC5198.shtml . Acesso em 10 dez 2013.

TOSHIBA. **Folha de dados do transistor 2SA1302.** Disponível em:
http://www.datasheetcatalog.com/datasheets_pdf/2/S/A/1/2SA1302.shtml . Acesso em 10 dez 2013.

TOSHIBA. **Folha de dados do transistor 2SC3281.** Disponível em:
http://www.datasheetcatalog.com/datasheets_pdf/2/S/C/3/2SC3281.shtml . Acesso em 10 dez 2013.

APÊNDICE

Código em *Matlab*® das funções utilizadas para o cálculo do comprimento dos dissipadores dos transistores.

```
function [Comprimento]=CalcComprimento (Pdmax, D, Pd, Rjc, Rcs, Ta, Tjmax, Rsa_in)
% Comprimento [mm] - Comprimento do Dissipador de um transistor
% Pdmax [W] - Potência máxima nominal do transistor
% D [W/°C] - Derate - Taxa de decaimento (derating) da potência máxima do
% transistor para Tc > 25°C
% Pd [W] - Potência dissipada pelo transistor
% Rjc [°C/W] - Resistividade térmica entre a Junção e o Case
% Rcs [°C/W] - Resistividade térmica do case ao dissipador
% Ta [°C] - Temperatura Ambiente
% Tjmax [°C] - Temperatura Máxima de Junção
% Rsa_in [°C/W/4"] - Resistência térmica nominal do dissipador

[Tc]=CalcTc (Pdmax, D, Pd)

[Tj]=CalcTj (Tc, Rjc, Pd, Tjmax);

[Rsa_final]=CalcRsa (Pd, Rcs, Ta, Tc)

[dtemp]=Calcdtemp;

Delta_temp = Tc-Ta

Ftemp = polyval(dtemp, Delta_temp)

Rsa_ta = Ftemp*Rsa_in

Fcomp = Rsa_final/Rsa_ta

Comprimento = (Fcomp/8.9629)^(1/(-0.468))
```

```
function [Tc]= CalcTc (Pdmax, D, Pd)
% Tc [°C] - Temperatura no Case para que seja possível dissipar Pd
% Pdmax [W] - Potência máxima nominal do transistor
% D [W/°C] - Derate - Taxa de decaimento (derating) da potência máxima do
% transistor com
%o aumento da temperatura do case (Tc) a partir de 25°C. Capacidade de
%Potência máxima diminui quando Tc > 25°C
% Pd [W] - Potência dissipada pelo transistor

Tc = (Pdmax - Pd + D*25)/D;
```

```

function [Tj]=CalcTj (Tc,Rjc,Pd,Tjmax)
% Tj [°C] - Temperatura na Junção
% Tc [°C] - Temperatura no Case
% Rjc [°C/W] - Resistividade térmica entre a Junção e o Case
% Pd [W] - Potência dissipada pelo transistor
% Tjmax [°C] - Temperatura Máxima de Junção
% Cálculo:
Tj = Tc + Pd*Rjc

if Tj<Tjmax
    fprintf('Temp de Junção OK. \nAbaixo de Tj_máx %d \n', Tjmax)
else
    fprintf('Temp de Junção !!!ERRADA!!!. \nAcima de Tj_máx %d \n', Tjmax)
end

```

```

function [Rsa]=CalcRsa (Pd,Rcs,Ta,Tc)
% Rsa [°C/W] - Resistividade Térmica do dissipador
% Pd [W] - Potência dissipada pelo transistor
% Rcs [°C/W] - Resistividade térmica do case ao dissipador
% Ta [°C] - Temperatura Ambiente
% Tc [°C] - Temperatura no Case

Rsa = (Tc - Ta - Pd*Rcs)/Pd;

```

```

function [dtemp]= Calcldtemp()

% Fator de Correção - Diferença de Temperatura (Case to Ambient)
dt=[30 40 50 60 70 75];
fcdt=[1.257 1.17 1.106 1.057 1.017 1];

dtemp=polyfit(dt,fcdt,4);

```